

CURRICULUM VITAE DI ANDREA PADOVANI

- 1. CURRICULUM BIOGRAFICO E ACCADEMICO**
- 2. ATTIVITÀ DI RICERCA**

1. CURRICULUM BIOGRAFICO E ACCADEMICO

- 1978 Sono nato a Reggio Emilia (RE) il 09 dicembre 1978.
- 2005 Ho conseguito la **Laurea in Ingegneria Elettronica (VOD)** presso l'Università degli Studi di Modena e Reggio Emilia, con una tesi a carattere sperimentale dal titolo "Affidabilità di celle NROM di Futura Generazione: Studio e Simulazione," di cui è stato relatore il Prof. Paolo Pavan. Nei mesi di settembre e ottobre ho collaborato con il Dipartimento di Scienze e Metodi dell'Ingegneria dell'Università degli Studi di Modena e Reggio Emilia per un progetto dal titolo "**Simulazione di memorie non-volatili NROM**".
- 2006 Ho vinto il concorso per il **Dottorato di Ricerca in Scienze dell'Ingegneria (XXI ciclo)**, che ho svolto presso il Dipartimento di Ingegneria dell'Università degli Studi di Ferrara, Ferrara (FE).
- 2009 Nel mese di marzo ho conseguito il **Dottorato di Ricerca in Scienze dell'Ingegneria** presso l'Università degli Studi di Ferrara con una tesi dal titolo "Modeling and Reliability of Innovative Flash Memories," di cui è stato relatore il Prof. Andrea Chimenton.
- 2009-2010 Titolare di un assegno di ricerca sul tema "**Memorie flash non-volatili di prossima generazione basate su intrappolamento di carica**" (SSD ING-INF/01 - Elettronica) presso il Dipartimento di Scienze e Metodi dell'Ingegneria dell'Università di Modena e Reggio Emilia.
- 2010-2013 Il 30 dicembre 2010 ho preso servizio presso il centro INTERMECH dell'Università di Modena e Reggio Emilia come ricercatore a tempo determinato ai sensi dell'art. 1, comma 14 della legge 4 novembre 2005 n. 230 e del D.L. 16-09-2009 prot. n. 94/09, per lo svolgimento d'attività di ricerca presso la Facoltà di Ingegneria – sede di Reggio Emilia, Area di ricerca: Area 09 (Ingegneria Industriale e dell'Informazione), Settore Scientifico-Disciplinare ING-INF/01 "Elettronica", posizione che ho occupato fino al 29 Dicembre 2013.
- 2014 Il 04-02-2014 ho ottenuto l'**Abilitazione Scientifica Nazionale** a Professore di Seconda Fascia (<https://abilitazione.cineca.it/ministero.php/public/esitoAbilitati/settore/09%252FE3/fascia/2>) nel Settore Concorsuale 09/E3.
- 2014-2015 Titolare di un assegno di ricerca sul tema "**Caratterizzazione e modellizzazione di dispositivi elettronici innovativi**" (SSD ING-INF/01 - Elettronica) presso il centro INTERMECH dell'Università di Modena e Reggio Emilia.
- 2015 Ho fondato, assieme ad altri due colleghi, una società a responsabilità limitata denominata MDLab s.r.l., con lo scopo di sviluppare e commercializzare un software commerciale per la simulazione di dispositivi elettronici (successivamente denominato Ginestra®) con particolare focus sulla simulazione del trasporto di carica e di atomi e sulla degradazione dei materiali dielettrici usati nei dispositivi elettronici.
- 2016 Sono stato assunto dalla ditta MDLab s.r.l. in qualità di Application Engineer, posizione che ho occupato fino a febbraio 2019. In questo periodo mi sono inizialmente occupato dello sviluppo del software Ginestra®, per poi concentrarmi sull'utilizzo dello stesso, sia nell'ambito di specifici progetti aziendali, sia per il supporto verso i clienti. Mi sono occupato in prima persona della gestione dei rapporti con i clienti, effettuando anche numerose visite presso le loro sedi (principalmente in Stati Uniti e Asia).
- 2017 Ho fondato, assieme ad altri quattro colleghi, la società MDLSoft Inc. con sede a Santa Clara, CA, USA, che ha preso controllo della società MDLab s.r.l., con lo scopo di

sviluppare e commercializzare il software commerciale per la simulazione di dispositivi elettronici Ginestra®.

- 2019 Nel febbraio 2019 sono stato assunto da Applied Materials Italia s.r.l. con la qualifica di *Senior Manager Applications Development* in un gruppo dipendente direttamente dalla sede centrale a Santa Clara, CA, USA che si occupa dello sviluppo e della commercializzazione del software Ginestra® e del suo utilizzo a supporto del core business dell'azienda. Nell'ambito di questo ruolo ho guidato un gruppo di *Application Engineers* nello sviluppo di modelli che descrivano la fisica e il comportamento di dispositivi elettronici e nell'utilizzo del software Ginestra® per: sviluppo di casi d'uso, applicazione a problemi di elevato interesse, utilizzo per il supporto ai clienti esterni (che spazia dal training alla consulenza) e utilizzo per progetti interni. Ho ricoperto questa posizione fino a Marzo 2022.
- 2022 Il 01-02-2022 ho rinnovato l'**Abilitazione Scientifica Nazionale** a Professore di Seconda Fascia (<https://asn21.cineca.it/pubblico/miur/esito-abilitato/09%252FE3/2/1>) nel Settore Concorsuale 09/E3.
- 2022 Nell'aprile 2022 ho preso servizio come Ricercatore a Tempo Determinato (tipo b) presso il Dipartimento di Ingegneria Enzo Ferrari (DIEF) dell'Università di Modena e Reggio Emilia (SSD ING-INF/01).
- 2023 Il 07-11-2023 ho ottenuto l'**Abilitazione Scientifica Nazionale** a Professore di Prima Fascia (<https://asn21.cineca.it/pubblico/miur/esito-abilitato/09%252FE3/1/6>) nel Settore Concorsuale 09/E3.

1.1 ATTIVITA' DIDATTICA

- 2009 Docente per l'insegnamento Memorie a Semiconduttore (54 ore) del Corso di Laurea in LM Ingegneria Elettronica DM 270 presso la Facoltà di Ingegneria dell'Università degli studi di Modena e Reggio Emilia (sede di Modena) per l'a.a. 2009/2010.
- 2010 Docente del modulo da 16 ore "Circuiti di condizionamento del segnale" nell'ambito del progetto "IFTS Tecnico superiore per il disegno e la progettazione industriale di sistemi mecatronici" organizzato dalla scuola per la gestione d'impresa CIS di Reggio Emilia.
- 2012-2013 Docente dell'insegnamento Tecnologie e Dispositivi Elettronici (54 ore) del Corso di Laurea Magistrale in Ingegneria Meccatronica presso la Facoltà di Ingegneria dell'Università degli studi di Modena e Reggio Emilia (sede di Reggio) per gli a.a. 2011/2012 e 2012/2013.
- 2013-2015 Docente dell'insegnamento Advanced Electron Devices (54 ore) del Corso di Laurea Magistrale in Ingegneria Elettronica presso il Dipartimento di Ingegneria Enzo Ferrari di Modena per gli a.a. 2013/2014 e 2014/2015. Il corso è stato tenuto in lingua inglese.
- 2022 Docente dell'insegnamento Sistemi Elettronici Industriali (81 ore) del Corso di Laurea in Ingegneria Gestionale presso il Dipartimento di Scienze e Metodi dell'Ingegneria di Reggio Emilia per l'a.a. 2022/2023.
Docente dell'insegnamento elettronica Applicata (54 ore) del Corso di Laurea in Tecnologie per l'industria intelligente presso il Dipartimento di Scienze e Metodi dell'Ingegneria di Reggio Emilia per l'a.a. 2022/2023.
- 2023 Docente dell'insegnamento Sistemi Elettronici Industriali (81 ore) del Corso di Laurea in Ingegneria Gestionale presso il Dipartimento di Scienze e Metodi dell'Ingegneria di Reggio Emilia per l'a.a. 2023/2024.

Docente dell'insegnamento elettronica Applicata (63 ore) del Corso di Laurea in Tecnologie per l'industria intelligente presso il Dipartimento di Scienze e Metodi dell'Ingegneria di Reggio Emilia per l'a.a. 2023/2024.

Sono stato correlatore di diverse tesi di laurea a carattere sperimentale, presso le Facoltà di Ingegneria dell'Università di Modena e Reggio Emilia. Sono stato co-tutore di uno studente di Dottorato e sono attualmente tutore di un altro studente di Dottorato.

2. ATTIVITÀ DI RICERCA

Alla data del 04 settembre 2023 il database Scopus (Author ID: 17346546300) riporta i seguenti valori bibliometrici per Andrea Padovani

- numero di articoli: **165**
- numero di citazioni: **4835**
- h-index: **34**

Google Scholar: <https://scholar.google.com/citations?user=0cQPSR4AAAAJ&hl=it>

ORCID iD: <https://orcid.org/0000-0003-1145-5257>

Svolgo attività di ricerca nell'ambito della modellizzazione e dello studio dell'affidabilità di dispositivi di memoria non-volatile a semiconduttore e di transistori per logica basati sulla tecnologia high-k/metal gate.

Nell'ambito dei dispositivi di memoria non-volatile, mi sono inizialmente occupato di dispositivi a Floating Gate convenzionali, di dispositivi a intrappolamento di carica planari (quali NROM e TANOS) e di dispositivi che utilizzano materiali ad elevata costante dielettrica per l'ingegnerizzazione della barriera di tunnel in strutture di tipo Floating Gate (VARIOT). Negli ultimi anni la mia attività di ricerca si è concentrata prevalentemente sullo studio e sulla modellizzazione di: i) dispositivi basati sugli ossidi dei metalli di transizione (Transition Metal Oxides, TMO, in particolare HfO₂), usati sia per lo sviluppo di tecnologie di memoria non-volatile a commutazione resistiva (RRAM) che per applicazioni neuromorfiche; ii) dispositivi di memoria non-volatile a intrappolamento di carica di tipo 3D-NAND; iii) dispositivi ferroelettrici come FeFET, Ferroelectric Tunnel Junctions (FTJs) e FeRAM. Le mie attività hanno riguardato principalmente la comprensione e modellizzazione dei meccanismi fisici che ne governano il funzionamento e la degradazione.

Nell'ambito dei transistori per logica, mi occupo dello studio e della modellizzazione dei fenomeni fisici alla base dei principali problemi di affidabilità di dispositivi con dielettrici di gate convenzionali (SiO₂/SiON) e ad alta costante dielettrica (HfO₂): gate leakage, Stress-Induced Leakage Current (SILC), Bias Temperature Instabilities (BTI), Random Telegraph Noise (RTN), degradazione e breakdown. Ho inoltre lavorato allo sviluppo e all'applicazione di una metodologia di simulazione che riproduce in modo automatico un dato insieme di caratteristiche elettriche misurate (corrente di gate in funzione della temperatura, capacità e conduttanza in funzione della frequenza, ...) con lo scopo di estrarre le proprietà dei materiali, inclusa la distribuzione in spazio e in energia dei difetti presenti.

In campo accademico, l'attività è stata svolta nell'ambito di numerosi progetti di ricerca nazionali (PRIN 2006 dal titolo al titolo "Memorie nanometriche non-volatili a cambiamento di fase", Progetti di ricerca di base (FIRB) 2006 – ICT e componentistica elettronica) e internazionali (Progetti Europei FP6 EMMA e FP7 GOSSAMER) e in collaborazione con importanti ditte di semiconduttori (Saifun Semiconductors, STMicroelectronics e Intel), altre università (Stanford University, CA, USA; Nanyang Technological University, Singapore; Singapore University of Technology and Design, Singapore; Gwangju Institute of Science and technology, Gwangju, Republic of Korea; Boise State University, Idaho, USA) e centri di ricerca internazionali (SEMATECH, USA; IMEC, Belgio; CEA-LETI, Francia).

Anche in campo industriale (in MDLAb s.r.l. prima e successivamente in Applied Materials) ho continuato a svolgere attività di ricerca con quattro tematiche principali: i) sviluppo di modelli fisici da implementare nel software di dispositivi elettronici Ginestra®; ii) attività di supporto ai clienti su progetti specifici e per lo

sviluppo di casi d'uso in grado di dimostrare le capacità del software; iii) supporto al core business dell'azienda; iv) progetti europei. L'attività di ricerca è stata svolta in collaborazione con le più importanti aziende del settore, università (Singapore University of Technology and Design, Singapore; Bangladesh University of Engineering and Technology, Bangladesh; Pohang University of Science and Technology, South Korea; University College London, England; Peking University, China; University of Texas at Dallas, USA) e centri di ricerca internazionali (IMEC, Belgio; CEA-LETI, Francia).

Sono revisore di numerose riviste internazionali, tra cui: IEEE Transactions on Electron Devices, IEEE Electron Device Letters, IEEE Transactions on Device and Materials Reliability, Journal of Applied Physics (AIP), Applied Physics Letters (AIP), Microelectronics Reliability (Elsevier), Solid-State Electronics (Elsevier), Journal of Materials Science (Elsevier), Materials Chemistry and Physics (Elsevier), Semiconductor Science and Technology (IOP), Journal of Physics D (IOP) and Nanotechnology (IOP).

Partecipazione a Progetti di Ricerca Nazionali e Internazionali

L'attività di ricerca svolta sia in ambito accademico che in ambito industriale è stata svolta in parte nell'ambito di progetti di ricerca nazionali e internazionali, tra cui:

1. Progetto Europeo FP6 – EMMA
2. partecipazione al Progetto Europeo “GOSSAMER - Giga-scale oriented solid state flash memory for Europe”, finanziato dall'Unione Europea nell'ambito del quadro di finanziamento 7FP-ICT: tecnologie dell'informazione e della comunicazione (grant agreement No 214431).
3. Work Package leader (WP3) e Coordinatore dell'unità di Applied Materials del Progetto Europeo “INTERSECT - Interoperable Material-To-Device Simulation Box For Disruptive Electronics”, finanziato dall'Unione Europea nell'ambito del programma di ricerca e innovazione Horizon 2020 (grant agreement No 814487) (<https://intersect-project.eu/>).
4. Coordinatore dell'unità di Applied Materials all'interno del Work Package 2 del Progetto Europeo “iQubits - Integrated Qubits Towards Future High-Temperature Silicon Quantum Computing Hardware Technologies”, finanziato dall'Unione Europea nell'ambito del programma di ricerca e innovazione Horizon 2020 (grant agreement No 829005) (<https://www.iqubits.eu/>).
5. Membro dell'unità di Applied Materials per il Progetto Europeo “OpenModel - Integrated Open Access Materials Modelling Innovation Platform for Europe”, finanziato dall'Unione Europea nell'ambito del programma di ricerca e innovazione Horizon 2020 (grant agreement No 953167).
6. Membro dell'unità dell'Università di Modena e Reggio Emilia per il Progetto Europeo “Attoswitch - Dirac cold-source transistor technologies towards attojoule switching”, finanziato dall'Unione Europea nell'ambito del programma di ricerca e innovazione Horizon 2020 (grant agreement No 101135571) (<https://www.attoswitch.eu/>).

Premi e Riconoscimenti per Attività di Ricerca

1. **BEST PAPER AWARD**, come co-autore del lavoro "A Compact Model of Hafnium-Oxide-Based Resistive Random Access Memory," *F. M. Puglisi, P. Pavan, A. Padovani, and L. Larcher, International Conference on IC Design and Technology (ICICDT), Pavia, Italy.*
2. **BEST PAPER AWARD**, come secondo autore del lavoro "Spatio-Temporal Defect Generation Process in Irradiated HfO₂ MOS Stacks: Correlated Versus Uncorrelated Mechanisms," *Fernando Leonel Aguirre, Andrea Padovani, Alok Ranjan, Nagarajan Raghavan, Nahuel Vega, Nahuel Müller, Sebastián Matías Pazos, Mario Debray, Joel Molina, Kin Leong Pey, and Félix Palumbo*, presentato al 2019 IEEE International Reliability Physics Symposium (IRPS), Monterey, CA, USA, 31 March-4 April 2019. DOI: <https://doi.org/10.1109/IRPS.2019.8720539>.
3. Il 9 giugno 2023 ho vinto il premio “**2023 Microelectronic Engineering Journal Middle Career Investigator Award and Lectureship**”, attribuito dalla rivista scientifica internazionale “Microelectronic Engineering” di Elsevier a seguito di un bando e del successivo processo di selezione da parte di un panel di esperti internazionali (<https://www.sciencedirect.com/journal/microelectronic-engineering/about/awards>).

4. **BEST PAPER AWARD**, come primo autore del lavoro “Towards a Universal Model of Dielectric Breakdown,” *Andrea Padovani, Paolo La Torraca, Jack Strand, Alexander Shluger, Valerio Milo and Luca Larcher*, che ho presentato personalmente al 2023 IEEE International Reliability Physics Symposium (IRPS), Monterey, CA, USA, 26-30 March 2023. DOI: <https://doi.org/10.1109/IRPS48203.2023.10117846>.
5. **BEST PAPER AWARD**, come secondo autore del lavoro “The Major Effect of Trapped Charge on Dielectric Breakdown Dynamics and Lifetime Estimation,” *Sara Vecchi, Andrea Padovani, Paolo Pavan, and Francesco Maria Puglisi*, presentato al 2023 IEEE International Integrated Reliability Workshop (IIRW), 8-12 October 2023. Stanford Sierra Conference Center, Fallen Leaf Lake, CA, USA.

Brevetti

1. US patent US 11158791 B2, “MIEC and tunnel-based selectors with improved rectification characteristics and tunability,” granted on October 26, 2021.
<https://patents.google.com/patent/US20220059764A1/en>

Partecipazione a Comitati Tecnici di Conferenze Internazionali

Ho fatto e faccio tuttora parte di comitati tecnici di diverse conferenze internazionali:

1. IEEE International Reliability Physics Symposium
 - a. membro del comitato *Gate Dielectrics* per il triennio 2013-2015
 - b. membro del comitato *Gate/MOL Dielectrics* per il triennio 2019-2020
 - c. Vice Chair del comitato *Gate/MOL Dielectrics* per l'anno 2021
 - d. Chair del comitato *Gate/MOL Dielectrics* per l'anno 2022
 - e. Chair Emeritus del comitato *Gate/MOL Dielectrics* per l'anno 2023
 - f. membro del comitato *Gate/MOL Dielectrics* per l'anno 2024
 - g. membro del *Management Committee* con il ruolo di Communications Chair per l'anno 2025
2. IEEE International Electron Device Meeting
 - a. membro del comitato *Reliability of Systems and Devices (RSD) subcommittee* per l'anno 2024
3. International Symposium on VLSI Technology, Systems and Applications (VLSI-TSA)
 - a. membro dell'*Europe subcommittee* dal 2012 al 2019
4. European Symposium on Reliability of Electron Devices, Failure Physics and Analysis (ESREF)
 - a. membro del sottocomitato *Topic B2: Si-Technologies & Nanoelectronics: Low K, Cu Interconnects* per l'anno 2015 ([link](#))
 - b. membro del sottocomitato *Quality and Reliability Assessment –Techniques and Methods for Devices and Systems* per l'anno 2016
 - c. membro del sottocomitato *B - Semiconductor Failure Mechanisms & Reliability* per l'anno 2017
 - d. membro del sottocomitato *B1 - Si Technologies & Nanoelectronics: Hot Carriers, High K, Gate Materials* per l'anno 2018
 - e. membro del sottocomitato *B - Semiconductor Failure Mechanisms & Reliability for Si technologies & Nanoelectronics* per l'anno 2019
 - f. membro del sottocomitato *B - Semiconductor Failure Mechanisms & Reliability for Si technologies & Nanoelectronics* per l'anno 2020
 - g. membro del sottocomitato *A - Quality and Reliability assessment techniques and methods for Devices and Systems* per l'anno 2024
5. IEEE International Integrated Reliability Workshop (IIRW)
 - a. membro del comitato tecnico negli anni 2012-2015, 2017, 2019 e 2020
 - b. membro del Management Committee con il ruolo di Poster Chair nell'anno 2023
 - c. membro del Management Committee con il ruolo di Discussion Group Chair nell'anno 2024

6. IEEE Electron Devices Technology and Manufacturing (EDTM)
 - a. membro del comitato *Devices and Circuit Reliability (DCR)* per l'anno 2024

Dichiaro che ogni contenuto riportato nel curriculum è conforme al vero.

Reggio Emilia, 24/06/2024

Andrea Padovani