

Curriculum Vitæ et Studiorum



Nome Cognome Alessandro Capotondi
Data di Nascita 21 Gennaio 1983
Cittadinanza Italiana
Indirizzo Università di Modena e Reggio Emilia
Dip. di Scienze Fisiche, Informatiche, Matematiche
Via Campi 213/A - 41125 Modena, Italia
Telefono +39 320 76 70 194
Email a.capotondi@unimore.it
ORCID <https://orcid.org/0000-0001-8705-0761>
Web page <https://www.linkedin.com/in/acapotondi/>

Short Bio

Dr. Alessandro Capotondi ha ricevuto il titolo di Dottore di Ricerca in Elettronica, Telecomunicazioni e Tecnologie dell'Informazione presso l'Università di Bologna nel 2016. E' stato titolare di assegno di ricerca e ricercatore postdoc presso l'Università di Bologna e presso l'Università di Modena e Reggio Emilia. Attualmente è Ricercatore a Tempo Determinato (tipo A) presso il Dipartimento di Scienze Fisiche, Informatiche, Matematiche dell'Università di Modena e Reggio Emilia. I suoi interessi di ricerca si focalizzano sui modelli di programmazione e sulle architetture degli elaboratori, principalmente nell'ambito dei sistemi embedded e dispositivi di calcolo eterogenei. I suoi temi di ricerca includono anche i linguaggi di programmazione, compilatori e runtime per architetture massivamente parallele, architetture basate su logica programmabile e riconfigurabile (FPGA), e HW-SW co-design di sistemi embedded. Inoltre, tra i suoi interessi c'è lo studio di metodologie per il deployment di algoritmi di Machine Learning e Deep Learning su architetture embedded at-the-edge, con particolare attenzione rispetto alle tematiche di quantizzazione, continual learning e TinyML. In questi ambiti ha pubblicato più di 20 articoli in conferenze e riviste internazionali peer-reviewed, con più di 300 citazioni e un *h-index* of 10 [Google Scholar].

Contents

Posizioni Lavorative e Formazione	2
Attività Professionale	4
Didattica	7
Ricerca	8
Pubblicazioni	10

Posizioni Lavorative e Formazione

POSIZIONI RICOPERTE

01/2022 – presente

Ricercatore a Tempo Determinato di tipo A (INF/01)

Dip. Scienze Fisiche, Informatiche e Matematiche dell'Università di Modena e Reggio Emilia

04/2021 – 12/2021

Titolare di contratto di Collaborazione Coordinata e Continuativa

Dip. Scienze Fisiche, Informatiche e Matematiche dell'Università di Modena e Reggio Emilia

05/2019 – 04/2021

Postdoctoral Research Fellow / Assegnista di Ricerca

Dip. Scienze Fisiche, Informatiche e Matematiche dell'Università di Modena e Reggio Emilia

05/2016 – 04/2019

Postdoctoral Research Fellow / Assegnista di Ricerca

Dip. Ingegneria dell'Energia Elettrica e dell'Informazione "Guglielmo Marconi", CIRI ICT dell'Università di Bologna

01/2013 - 12/2015

Dottorando

Dip. Ingegneria dell'Energia Elettrica e dell'Informazione "Guglielmo Marconi" dell'Università di Bologna

05/2012 – 04/2016

Research Fellow / Assegnista di Ricerca

Dip. Ingegneria dell'Energia Elettrica e dell'Informazione "Guglielmo Marconi" dell'Università di Bologna

ISTRUZIONE E FORMAZIONE

- **Dottorato di Ricerca** in Elettronica, Telecomunicazioni e Tecnologie delle Informazioni presso l'Alma Mater Studiorum Università di Bologna (2016).
Tesi: *"Modelli e Strumenti di Programmazione Parallela per Piattaforme Many-Core"*,
Supervisore: *Prof. Luca Benini*
Co-Supervisore: *Prof. Andrea Marongiu*
- **Laurea Specialistica** in Ingegneria Informatica (Classe 35/s) presso l'Alma Mater Studiorum Università di Bologna (2012).
Tesi: *"Sviluppo e Ottimizzazione di Runtime Layer per OpenMP su Piattaforma Embedded Many-Core"*
Relatore: *Prof. Luca Benini*
Co-Relatore: *Prof. Andrea Marongiu*
- **Laurea Triennale** in Ingegneria Informatica (Classe 26) presso l'Università degli Studi di Urbino Carlo Bo (2008).
Tesi: *"Utilizzo di Contatori HW per il Miglioramento delle Performance di Bilanciamento del Carico in Linux Multiprocessore"*
Relatore: *Prof. Andrea Acquaviva*

ESPERIENZE ESTERE

- Ricercatore in visita presso Integrated Systems Laboratory del ETH Zurich [Ref. Prof. Luca Benini] - Zurigo, Svizzera (06/2015-10/2015)
- Internship (*tesi triennale*) presso Laboratoire des Systèmes Intégrés del EPFL [Ref. Prof. Giovanni De Micheli / Prof. Andrea Acquaviva] - Losanna, Svizzera (05/2007-11/2007)

Attività Professionale

CONTRIBUTI A PROGETTI DI RICERCA NAZIONALI E INTERNAZIONALI

- *H2020-ECSEL-AI4CSM: Automotive Intelligence 4 Connected Shared Mobility* [05/2021 – presente]
<https://ai4csm.automotive.oth-aw.de/>
Ruolo: Leader Team di Ricerca Locale (Livello di Coinvolgimento: ALTO)
Attività: AI4CSM svilupperà di tecnologie per i futuri veicoli elettrici connessi autonomi e condivisi (Electric Connected Autonomous and Shared o ECAS). UNIMORE supporterà l'implementazione del caso d'uso attraverso la progettazione di un sistema di monitoring del guidatore e di connessione con la smartcity (MASA), e studierà metodologie per assicurare predicibilità su acceleratori implementati su sistemi embedded basati su FPGA.
- *H2020-ECSEL-826610-COMP4DRONES: Framework of key enabling technologies for safe and autonomous drones' applications* [10/2019 – presente]
<https://www.comp4drones.eu/>
Ruolo: Leader Team di Ricerca Locale (Livello di Coinvolgimento: ALTO)
Attività: Il progetto punta allo sviluppo di tecnologie per la costituzione di una infrastruttura modulare per la progettazione droni autonomi. UNIMORE sta sviluppando una metodologia HW/SW per il facilitare il design, implementazione e integrazione di acceleratori HW specializzati su SoC basati su FPGA (e.g. Xilinx Zynq UltraScale+). La metodologia cerca di abilitare l'esecuzione di software stack computazionalmente complessi a bordo di droni autonomi.
- *H2020-ICT-2017-826647-EPI: European Processor Initiative* [12/2018 – 04/2019]
<https://www.european-processor-initiative.eu/project/epi/>
Ruolo: Membro del Team di Ricerca, Membro del Team di Progettazione (Livello di Coinvolgimento: BASSO)
Attività: Il progetto punta alla creazione di un ecosistema europeo per la progettazione e realizzazione di processori e infrastrutture di calcolo ad alte prestazioni nell'ambito HPC, Big Data e sistemi emergenti, come l'automotive. Coinvolgimento (personale) concentrato nella progettazione e fase iniziale delle attività dell'Università di Bologna nello stream automotive (tecniche di offloading predicibile su sistemi embedded eterogenei).
- *POR-FESR2014-2020-Emilia-Romagna-OPEN-NEXT: Strutture software real-time e open-source per piattaforme embedded industriali di prossima generazione* [04/2016 – 03/2018]
<http://www.t3lab.it/progetti/open-next/>
Ruolo: Leader Team di Ricerca Locale (Livello di Coinvolgimento: ALTO)
Attività: OPEN-NEXT intendeva sviluppare una piattaforma software che permetta l'esecuzione di applicazioni industriali real-time di nuova generazione su dispositivi eterogenei emergenti (e.g. FPGA, GPGPU). UNIBO, in collaborazione con T3Lab e Università di Cagliari, nell'ambito di questo progetto gestisce la progettazione e implementazione del modello di programmazione e dell'infrastruttura di offloading per l'esecuzione reti neurali convoluzionali attraverso HW open-source basato su OpenRISC accoppiato con acceleratore FPGA.
- *FP7-ICT-288574-VERTICAL: SW/HW extensions for virtualized heterogeneous multicore platforms* [07/2011 – 10/2014]
Ruolo: Membro del Team di Ricerca (Livello di Coinvolgimento: ALTO)
Attività: Il progetto sviluppava estensioni HW e SW per la virtualizzazione di sistemi multicore eterogenei embedded. Il team di ricerca UNIBO si è concentrato nello sviluppo di modelli di programmazione basati su direttive al compilatore, per l'utilizzo di efficiente di acceleratori (many-core) in ambiente virtualizzato.

- *FP7-IDEAS-ERC-291125-MULTITHERMAN: Multi-Scale Thermal Management of Computing Systems* [04/2012 – 3/2018]

<http://projects.eees.dei.unibo.it/multitherman/>

Ruolo: Research Team Member (Livello di Coinvolgimento: BASSO)

Attività: Il progetto puntava a migliorare le tradizionali tecniche di progettazione di sistemi di gestione termica nei sistemi a multi-processore attraverso lo sviluppo di strategie reattive di scheduling e DVFS, soluzioni architetturali. Le attività a cui contribuisce riguardano principalmente lo sviluppo di runtime per sistemi multi- e many-core e lo sviluppo di infrastrutture di simulazione per tali piattaforme.

COLLABORAZIONI SCIENTIFICHE (OLTRE AI PROGETTI EU)

- Collaborazioni con Istituti di Ricerca Italiani:
 - Università di Bologna - Italy [2019 – presente]
Contatto: Prof. Davide Maltoni
Argomenti: Tecniche di apprendimento continuativo (continual learning - lifelong learning) su architetture edge ultra-low-power.
 - Università di Sassari - Italia [2019 – presente]
Contatto: Prof. Francesca Palumbo
Argomenti: integrazione di acceleratori HW riconfigurabili (MDC) su un overlay per FPGA open-source basato su soft-core RISC-V.
 - Università di Cagliari - Italia [2016 – 2019]
Contatto: Prof. Paolo Meloni, Prof. Luigi Raffo
Argomenti: Accelerazione di reti neurali convoluzionali su SoC eterogenei basati su FPGA.
 - Università di Ferrara - Italia [2012 – 2016]
Contatto: Prof. Davide Bertozzi
Argomenti: Runtime e modelli di programmazione paralleli per piattaforme many-core basate su NoC. Simulazione e modellazione di NoC e piattaforme embedded many-core.
- Collaborazioni con Istituti di Ricerca Internazionali:
 - Università di Bologna / ETH Zurich - Svizzera [2019 – presente]
Contatto: Prof. Luca Benini
Argomenti: Modelli Programmazione e Runtime per sistemi eterogenei basati su RISC-V (PULP Project).
 - Haute école spécialisée Suisse - Svizzera [2019 – 2020]
Contatto: Prof. Nuria Pazos
Argomenti: Navigazione di mini veicoli attraverso reti neurali eseguite su architetture ultra-low-power.
 - University of Massachusetts Lowell - USA [2020 – presente]
Contatto: Prof. Dimitra Papagiannopoulou
Argomenti: Transactional Memory su architettura embedded eterogenea RISC-V.

COLLABORAZIONI INDUSTRIALI

- Tetrapack [2020]
Membro team di ricerca sull'analisi comparativa tra architetture embedded per l'accelerazione dell'esecuzione di reti neurali per il riconoscimento di oggetti.

- Magneti Marelli [2016]
Membro team di ricerca sull'analisi comparativa (latenza, energia) tra architetture embedded per l'accelerazione di algoritmi di guida autonoma.
- ST Microelectronics [2012]
Membro team di ricerca per lo sviluppo di un backend e runtime per il supporto del modello di programmazione OpenMP su architettura eterogenea STHORM.

SERVIZIO DI PEER-REVIEW IN RIVISTE E CONFERENZE

Alessandro Capotondi è/è stato revisore (principale o secondario) per le seguenti riviste e conferenze:

- *Conferences and Workshops*: Design Automation and Test in Europe (DATE), International Conference on Embedded Software (EMSOFT), Real-Time and Embedded Technology and Applications Symposium (RTAS), Real-Time Systems Symposium (RTSS).
- *Journals*: IEEE Transactions on Computers (TC), IEEE Transactions on Emerging Topics in Computing (TETC)

Didattica

Dr. Alessandro Capotondi è assistente e istruttore di laboratorio dell'insegnamento di "High Performance Computing" (Prof. Andrea Marongiu) per il corso di Laurea Magistrale in Informatica presso l'Università di Modena e Reggio Emilia. Per il corso, è responsabile delle lezioni di laboratorio, della loro organizzazione, del materiale e dell'infrastruttura (configurazione IT del laboratorio per l'accesso remoto da parte degli studenti). Le lezioni di laboratorio comprendono esercitazioni su OpenMP, CUDA e Vivado/Vitis HLS su board Nvidia Jetson e Xilinx Zynq UltraScale+.

Nel 2019 ha svolto l'attività di assistente all'insegnamento per il laboratorio di "Fondamenti di Informatica" presso facoltà di Ingegneria dell'Università di Bologna e rivolto alla comprensione di concetti di programmazione C/C++ attraverso esercitazioni pratiche di laboratorio.

2020 - presente

Assistente all'insegnamento

Università di Modena e Reggio Emilia - Laurea Magistrale Informatica.

High Performance Computing, Prof. A. Marongiu - Lezioni, Seminari ed Esercitazioni di laboratorio.

2019 - 2020

Assistente all'insegnamento

Università di Bologna - Laurea Triennale in Ingegneria Automazione

Fondamenti di Informatica T, Dr. M. Grossi - Esercitazioni di laboratorio.

2016 - 2019

Assistente all'insegnamento

Università di Bologna - Laurea Magistrale in Ingegneria Elettronica e Informatica

Hardware/Software Design Methodologies, Prof. L. Benini - Lezioni, Seminari ed Esercitazioni di laboratorio.

TUTORAGGIO STUDENTI

Dr. Alessandro Capotondi, durante gli anni da postdoc presso l'Università di Bologna e di Modena e Reggio Emilia ha co-supervisionato diversi tesisti triennali e magistrali. Presso l'Università di Modena e Reggio Emilia sta attualmente supportando più di 10 studenti triennali e magistrali in progetti e tirocini curriculari (Rif. Prof. Andrea Marongiu, Prof. Paolo Burgio, Prof. Marko Bertogna).

Studenti di Dottorato

- *UNIMORE*: Gianluca Brilli (Sistemi Eterogenei FPGA, Predicibilità, HW Monitoring).
- *UNIBO*: Leonardo Ravaglia (Continual Learning), Manuele Rusci (*mentoring*, TinyML, Mixed-Precision).

Tesisti Supervisionati/Co-Advising

- *UNIMORE*: Daniele Tortoli (UAV), Michele Guzzinati (FPGA, Acceleratori CNN).
- *UNIBO*: Marco Fariselli (TinyML, Mixed-Precision), Federico Pari (FPGA, Acceleratori CNN)..

Assegnisti di Ricerca

- *UNIMORE*: Gianluca Bellocchi (Sistemi Eterogenei FPGA, Overlay RISC-V).

Ricerca

I temi di ricerca su cui è attivo il Dr. Alessandro Capotondi ruotano intorno ai sistemi embedded eterogenei, i loro modelli di programmazione [JR.8][JR.4], le loro architetture [IC.9][IC.14] e le loro applicazioni, con particolare enfasi sul *computing-at-the-edge* [JR.3][JR.1].

Le architetture eterogenee cercano di rispondere alla crescente necessità di potenza computazionale (TOPs) e efficienza energetica (TOPs/Watt) attraverso l'accoppiamento, nello stesso dispositivo, di processori general-purpose, incaricati di eseguire il Sistema Operativo ed in generale tutti i servizi legacy, con una serie di acceleratori specializzati, come ASIC, GP-GPU, FPGA e Acceleratori Many-Core Programmabili (e.g. Kalray MPPA). Questo paradigma è ormai pervasivo sia nell'ambito dei sistemi a larga scala (HPC) che nei più piccoli e limitati dispositivi *edge* (e.g. smartphones, smartcamera, e assistenti intelligenti e wearable), ma ha creato la necessità di sviluppare modelli e paradigmi di programmazione ad-hoc che, limitando le deviazioni rispetto alle metodologie di sviluppo software già presenti, permettano di sfruttare al meglio la potenza computazionale di tali acceleratori.

L'attività di ricerca del Dr. Alessandro Capotondi affronta queste tematiche verticalmente attraverso una visione di sviluppo e ottimizzazione HW/SW, includendo quindi l'estensione delle architetture, strumenti di compilazione, modelli e di programmazione e metodologie di ottimizzazione HW-aware delle applicazioni.

RICERCA PASSATA

Lo studio di queste problematiche è iniziato con il dottorato e si è concentrato in prima istanza sulle tematiche di programmabilità [BC.1]. I risultati principali della tesi di dottorato sono stati:

- la definizione e implementazione di estensioni al modello di programmazione OpenMP per il supporto dell'offloading di kernel su acceleratori many-core programmabili [JR.8][IC.17].
- lo studio e l'implementazione di tecniche che migliorino la scalabilità dei runtime e middleware su architetture altamente parallele. In particolare, attraverso lo sfruttamento di tecniche di creazione del parallelismo gerarchico [JR.7][IC.12] o tecniche di caching [IC.15].
- il design e l'implementazione di un meta-runtime per supportare diversi modelli di programmazione (OpenMP e OpenCL) attraverso il partizionamento e virtualizzazione statica su architetture many-core [JR.4].

RICERCA ATTUALE E FUTURA

Come ricercatore postdoc, lo studio delle problematiche relative ai modelli di programmazione si sono espanse verticalmente, sia a livello architetturale, che a livello di applicazioni.

Il Dr. Alessandro Capotondi, in collaborazione con l'ETHZ, ha contribuito allo sviluppo del runtime OpenMP del progetto PULP (<https://pulp-platform.org/>) [JR.5][IC.14]. Da quel lavoro, sempre in collaborazione con l'ETHZ, è stata creata HERO, una infrastruttura di ricerca open-source, basata su ISA RISC-V, per lo studio HW/SW delle architetture eterogenee [IC.9][NC.6]. L'infrastruttura include tutti i risultati delle ricerche precedenti nell'ambito dell'offloading attraverso API OpenMP [IC.12], dell'accesso alla memoria virtuale condivisa su sistemi eterogenei e sull'offloading zero-copy [IC.11]. L'infrastruttura di compilazione GNU GCC sviluppata mostra, per la prima volta, un supporto per offloading OpenMP su ISA RISC-V.

Le attività di ricerca si sono poi rivolte anche alle applicazioni, con particolare attenzione rispetto all'implementazione efficiente (in termini di latenza, potenza e energetici) di reti neurali convoluzionali su sistemi

at-the-edge. In collaborazione con l'Università di Cagliari e del T3Lab di Bologna, sfruttando un template architetturale che si ispira a HERO, è stato creato Neuraghe [JR.6][NC.5][JR.2]. La caratteristica principale di questa architettura eterogenea, implementata su Xilinx Zynq SoC, è lo sfruttamento sinergico dell'acceleratore convoluzionale HW, implementato sulla logica programmabile e del processing system general-purpose (ARM Cortex-A) attuato attraverso un runtime ottimizzato per l'offloading e accelerazione di layer convoluzionali.

L'attenzione poi si è spostata sulle metodologie per il deployment di reti neurali complesse su dispositivi *ultra-low-power*. Tematiche che al giorno d'oggi vanno sotto il nome di TinyML. In quest'ambito, in collaborazione con il Dr. Manuele Rusci et al., sono state sviluppate e implementate delle metodologie *memory-driven* di quantizzazione e librerie di calcolo ad aritmetica mixed-precision sub-byte per il deployment di reti neurali convolutive su dispositivi a limitata memoria [JR.3][IC.6][IC.7][NC.4]. Nell'ambito del TinyML, attraverso la co-supervisione di alcuni studenti e la collaborazione con il Prof. Maltoni (Università di Bologna) e il Dr. Vincenzo Lomonaco (Università di Pisa), si stanno ora progettando soluzioni HW/SW per l'abilitazione di apprendimento continuativo (*continual learning*) su dispositivi *ultra-low-power* [IC.8][NC.2].

I risultati delle più recenti attività di collaborazione coprono tutte le aree precedentemente descritte, attraverso contributi a livello di applicazione per mini-veicoli autonomi [JR.1][IC.2], di profilazione di reti neurali *at-the-edge* [IC.5], o a livello di problematiche di indirizzamento della memoria in sistemi eterogenei [IC.4].

Le attività di ricerca presso l'Università di Modena, attraverso la collaborazione con il Prof. Andrea Marongiu, si stanno ora focalizzando nello sviluppo di modelli di programmazione e metodologie di design per sistemi *accelerator-rich* basati su FPGA che, attraverso l'utilizzo di un overlay (soft-core RISC-V), che permettano la facile e efficace (*plug-and-play*) implementazione di on-board domain computer per veicoli autonomi (UAV, rover, auto a guida autonoma) [IC.1]. L'attività è svolta all'interno del progetto ECSEL COMP4DRONES, guidata tecnicamente dal Dr. Alessandro Capotondi, con la collaborazione del Ing. Gianluca Bellocchi.

Pubblicazioni

Riviste Internazionali	(# 8)
Conferenze e Workshop Internazionali	(# 17)
Pubblicazioni Informali	(# 6)
Tesi e Libri	(# 1)

- JR.1. Miguel de Prado, Manuele Rusci, Alessandro Capotondi, Romain Donze, Luca Benini, Nuria Pazos, “Robustifying the Deployment of tinyML Models for Autonomous Mini-Vehicles”, *Sensors* 21(4): 1339 (2021) [doi: <https://doi.org/10.3390/s21041339>]
- JR.2. Paolo Meloni, Daniela Loi, Gianfranco Deriu, Marco Carreras, Francesco Conti, Alessandro Capotondi, Davide Rossi, “Exploring NEURAghe: A Customizable Template for APSOC-Based CNN Inference at the Edge”, *IEEE Embedded Systems Letters* 12(2): 62-65 (2020) [doi: <https://doi.org/10.1109/LES.2019.2947312>]
- JR.3. Alessandro Capotondi, Manuele Rusci, Marco Fariselli, Luca Benini, “CMix-NN: Mixed Low-Precision CNN Library for Memory-Constrained Edge Devices”, *IEEE Transactions on Circuits and Systems II: Express Briefs* 67-II(5): 871-875 (2020) [doi: <https://doi.org/10.1109/TCSII.2020.2983648>]
- JR.4. Alessandro Capotondi, Andrea Marongiu, Luca Benini, “Runtime Support for Multiple Offload-Based Programming Models on Clustered Manycore Accelerators”, *IEEE Transactions on Emerging Topics in Computing* 6(3): 330-342 (2018) [doi: <https://doi.org/10.1109/TETC.2016.2554318>]
- JR.5. Igor Loi, Alessandro Capotondi, Davide Rossi, Andrea Marongiu, Luca Benini, “The Quest for Energy-Efficient IS Design in Ultra-Low-Power Clustered Many-Cores”, *IEEE Transactions on Multi-Scale Computing Systems* 4(2): 99-112 (2018) [doi: <https://doi.org/10.1109/TMSCS.2017.2769046>]
- JR.6. Paolo Meloni, Alessandro Capotondi, Gianfranco Deriu, Michele Brian, Francesco Conti, Davide Rossi, Luigi Raffo, Luca Benini, “NEURAghe: Exploiting CPU-FPGA Synergies for Efficient and Flexible CNN Inference Acceleration on Zynq SoCs”, *ACM Transactions on Reconfigurable Technology and Systems* 11(3): 18:1-18:24 (2018) [doi: <https://doi.org/10.1145/3284357>]
- JR.7. Andrea Marongiu, Alessandro Capotondi, Luca Benini, “Controlling NUMA effects in embedded manycore applications with lightweight nested parallelism support”, *Elsevier Journal of Parallel Computing* 59: 24-42 (2016) [doi: <https://doi.org/10.1016/j.parco.2016.02.002>]
- JR.8. Andrea Marongiu, Alessandro Capotondi, Giuseppe Tagliavini, Luca Benini, “Simplifying Many-Core-Based Heterogeneous SoC Programming With Offload Directives”, *IEEE Transactions on Industrial Informatics* 11(4): 957-967 (2015) [doi: <https://doi.org/10.1109/TII.2015.2449994>]

CONFERENZE E WORKSHOP INTERNAZIONALI

- IC.1. Gianluca Bellocchi, Alessandro Capotondi, Francesco Conti, Andrea Marongiu, “A RISC-V-based FPGA Overlay to Simplify Embedded Accelerator Deployment”, *Proc. of Euromicro Conference on Digital System Design (DSD)*, 2021, pp. 9-17 [doi: <https://doi.org/10.1109/DSD53832.2021.00011>]
- IC.2. Miguel de Prado, Manuele Rusci, Romain Donze, Alessandro Capotondi, Serge Monnerat, Luca Benini, Nuria Pazos, “Robustifying the Deployment of tinyML Models for Autonomous Mini-Vehicles”, *Proc. of IEEE International Symposium on Circuits and Systems (ISCAS)*, 2021, pp. 1-5 [doi: <https://doi.org/10.1109/ISCAS51556.2021.9401154>]
- IC.3. Daniel Madroñal, Francesca Palumbo, Alessandro Capotondi, Andrea Marongiu “Unmanned Vehicles in Smart Farming: a Survey and a Glance at Future Horizons” *Proceedings of the 2021 Drone Systems Engineering and Rapid Simulation and Performance Evaluation: Methods and Tools Proceedings (DroneSE)*, 2021, pp. 1-8 [doi: <https://doi.org/10.1145/3444950.3444958>]
- IC.4. Andreas Kurth, Koen Wolters, Björn Forsberg, Alessandro Capotondi, Andrea Marongiu, Tobias Grosser, Luca Benini, “Mixed-data-model heterogeneous compilation and OpenMP offloading”, *Proc. of Conference on Compiler Construction (CC)*, 2020, pp. 119-131 [doi: <https://doi.org/10.1145/3377555.3377891>]
- IC.5. Micaela Verucchi, Gianluca Brilli, Davide Sapienza, Mattia Verasani, Marco Arena, Francesco Gatti, Alessandro Capotondi, Roberto Cavicchioli, Marko Bertogna, Marco Solieri, “A Systematic Assessment of Embedded Neural Networks for Object Detection”, *Proc. of IEEE International Conference on Emerging Technologies and Factory Automation (EFTA)*, 2020, pp. 937-944 [doi: <https://doi.org/10.1109/ETFA46521.2020.9212130>]
- IC.6. Manuele Rusci, Alessandro Capotondi, Luca Benini, “Memory-Driven Mixed Low Precision Quantization for Enabling Deep Network Inference on Microcontrollers”, *Proc. of MLSys Conference*, 2020 [<https://proceedings.mlsys.org/book/308.pdf>]

- IC.7. Manuele Rusci, Marco Fariselli, Alessandro Capotondi, Luca Benini, “Leveraging Automated Mixed-Low-Precision Quantization for Tiny Edge Microcontrollers”, *ITEM 2020, IoT Streams 2020: IoT Streams for Data-Driven Predictive Maintenance and IoT, Edge, and Mobile for Embedded Machine Learning*, 2020, pp. 296-308 [doi: https://doi.org/10.1007/978-3-030-66770-2_22]
- IC.8. Leonardo Ravaglia, Manuele Rusci, Alessandro Capotondi, Francesco Conti, Lorenzo Pellegrini, Vincenzo Lomonaco, Davide Maltoni, Luca Benini, “Memory-Latency-Accuracy Trade-Offs for Continual Learning on a RISC-V Extreme-Edge Node”, *Proc. of IEEE Workshop on Signal Processing Systems (SIPS)*, 2020, pp. 1-6 [doi: <https://doi.org/10.1109/SiPS50750.2020.9195220>]
- IC.9. Andreas Kurth, Alessandro Capotondi, Pirmin Vogel, Luca Benini, Andrea Marongiu, “HERO: an open-source research platform for HW/SW exploration of heterogeneous manycore systems”, *Proc. of 2nd Workshop on Autotuning and Adaptivity Approaches for Energy efficient HPC (ANDARE)*, 2018, pp. 5:1-5:6 [doi: <https://doi.org/10.1145/3295816.3295821>]
- IC.10. Manuele Rusci, Alessandro Capotondi, Francesco Conti, Luca Benini, “Quantized NNs as the definitive solution for inference on low-power ARM MCUs?: work-in-progress”, *Proc. of International Conference on Hardware/Software Codesign and System Synthesis (CODES+ISSS)*, 2018, pp. 12 [https://doi.org/10.1109/CODES+ISSS.2018.8525915]
- IC.11. Alessandro Capotondi, Andrea Marongiu, “Enabling zero-copy OpenMP offloading on the PULP many-core accelerator”, *Proc. of the 20th International Workshop on Software and Compilers for Embedded Systems (SCOPES)*, 2017, pp. 68-71 [doi: <https://doi.org/10.1145/3078659.3079071>]
- IC.12. Alessandro Capotondi, Andrea Marongiu, “On the effectiveness of OpenMP teams for cluster-based many-core accelerators”, *Proc. of the International Conference on High Performance Computing & Simulation (HPCS)*, 2016, pp. 667-674 [doi: <https://doi.org/10.1109/HPCSim.2016.7568399>]
- IC.13. Alessandro Capotondi, Germain Haugou, Andrea Marongiu, Luca Benini, “Runtime Support for Multiple Offload-Based Programming Models on Embedded Manycore Accelerators”, *Proc. of the 2015 International Workshop on Code Optimisation for Multi and Many Cores (COSMIC)*, 2015, pp. 4:1-4:10 [doi: <https://doi.org/10.1145/2723772.2723773>]
- IC.14. Davide Rossi, Francesco Conti, Andrea Marongiu, Antonio Pullini, Igor Loi, Michael Gautschi, Giuseppe Tagliavini, Alessandro Capotondi, Philippe Flatresse, Luca Benini, “PULP: A parallel ultra low power platform for next generation IoT applications”, *Proc. of IEEE Hot Chips 27 Symposium (HCS)*, 2015, pp. 1-39 [doi: <http://doi.ieeecomputersociety.org/10.1109/HOTCHIPS.2015.7477325>]
- IC.15. Alessandro Capotondi, Andrea Marongiu, Luca Benini, “Enabling Scalable and Fine-Grained Nested Parallelism on Embedded Many-cores”, *Proc. of 9th IEEE International Symposium on Embedded Multicore/Many-core Systems-on-Chip (MCSOC)*, 2015, pp. 297-304 [doi: <https://doi.org/10.1109/MCSOC.2015.47>]
- IC.16. Marco Balboni, Marta Ortín-Obón, Alessandro Capotondi, Hervé Tatenguem Fankem, Alberto Ghiribaldi, Luca Ramini, Víctor Viñals, Andrea Marongiu, Davide Bertozzi, “Augmenting manycore programmable accelerators with photonic interconnect technology for the high-end embedded computing domain”, *Proc. of the Eighth IEEE/ACM International Symposium on Networks-on-Chip (NoCS)*, 2014, pp. 72-79 [doi: <https://doi.org/10.1109/NOCS.2014.7008764>]
- IC.17. Andrea Marongiu, Alessandro Capotondi, Giuseppe Tagliavini, Luca Benini, “Improving the programmability of STHORM-based heterogeneous systems with offload-enabled OpenMP”, *Proc. of the First International Workshop on Many-core Embedded Systems (MES)*, 2013, pp. 1-8 [doi: <https://doi.org/10.1145/2489068.2489069>]

PUBBLICAZIONI INFORMALI

- NC.1. Miguel de Prado, Romain Donze, Alessandro Capotondi, Manuele Rusci, Serge Monnerat, Luca Benini, Nuria Pazos, “Robust navigation with tinyML for autonomous mini-vehicles”, *CoRR abs/2007.00302*, 2020 [<https://doi.org/10.1145/2489068.2489069>]
- NC.2. Leonardo Ravaglia, Manuele Rusci, Alessandro Capotondi, Francesco Conti, Lorenzo Pellegrini, Vincenzo Lomonaco, Davide Maltoni, Luca Benini “Memory-Latency-Accuracy Trade-offs for Continual Learning on a RISC-V Extreme-Edge Node”, *CoRR abs/2007.13631*, 2020 [<https://arxiv.org/abs/2007.13631>]
- NC.3. Manuele Rusci, Marco Fariselli, Alessandro Capotondi, Luca Benini “Leveraging Automated Mixed-Low-Precision Quantization for tiny edge microcontrollers”, *CoRR abs/2008.05124*, 2020 [<https://arxiv.org/abs/2008.05124>]
- NC.4. Manuele Rusci, Alessandro Capotondi, Luca Benini “Memory-Driven Mixed Low Precision Quantization For Enabling Deep Network Inference On Microcontrollers”, *CoRR abs/1905.13082*, 2019 [<https://arxiv.org/abs/1905.13082>]
- NC.5. Paolo Meloni, Alessandro Capotondi, Gianfranco Deriu, Michele Brian, Francesco Conti, Davide Rossi, Luigi Raffo, Luca Benini “NEURAghe: Exploiting CPU-FPGA Synergies for Efficient and Flexible CNN Inference Acceleration on Zynq SoCs”, *CoRR abs/1712.00994*, 2017 [<https://arxiv.org/abs/1712.00994>]
- NC.6. Andreas Kurth, Pirmin Vogel, Alessandro Capotondi, Andrea Marongiu, Luca Benini “HERO: Heterogeneous Embedded Research Platform for Exploring RISC-V Manycore Accelerators on FPGA”, *CoRR abs/1712.06497*, 2017 [<http://arxiv.org/abs/1712.06497>]

TESI E LIBRI

- BC.1. Alessandro Capotondi, “Programming models and tools for many-core platforms; Modelli e strumenti di programmazione parallela per piattaforme many-core”, *Tesi di dottorato di ricerca in Elettronica, telecomunicazioni e tecnologie dell’informazione*, Alma Mater Studiorum Università di Bologna, 2016 [doi: <https://doi.org/10.6092/unibo/amsdottorato/7630>]