

Curriculum Vitæ et Studiorum



Nome Andrea Marongiu
Email andrea.marongiu@unimore.it
Web <http://personale.unimore.it/rubrica/dettaglio/amarongiu>
Ufficio MO18-002-027 - Edificio Matematica
Dipartimento di Fisica, Informatica e Matematica (FIM)
Università di Modena e Reggio Emilia
Via Campi, 213/B - 41125 Modena, Italy
Tel.: +39 059 205 5186

Short Bio

Andrea Marongiu ha conseguito il titolo di Dottore di Ricerca (PhD) in Ingegneria Elettronica, Informatica e delle Telecomunicazioni presso l'Università di Bologna, Italia, nel 2010. È stato un *postdoctoral reserch fellow* presso il Politecnico di Zurigo (ETHZ) in Svizzera e un *Assistant Professor (RTD A)* presso il Dipartimento di Informatica, Scienza e Ingegneria (DISI) dell'Università di Bologna. Attualmente è **Professore Associato** presso il Dipartimento di Fisica, Informatica e Matematica (FIM) dell'Università di Modena e Reggio Emilia. I suoi interessi di ricerca si focalizzano su modelli di programmazione e architetture per sistemi eterogenei ad elevato parallelismo su singolo chip (MPSoC). Questo include aspetti di linguaggio, compilatore e runtime system per la gestione efficiente di problematiche di performance, predicibilità, efficienza energetica e affidabilità nei sistemi embedded multi- e many-core, così come il co-design HW/SW di MPSoC basati su acceleratori. In questo settore **ha pubblicato più di 120 articoli in conferenze e riviste internazionali, con oltre 1800 citazioni e un h-index pari a 24** [Google Scholar]. Ha collaborato e collabora con numerosi istituti di ricerca e industriali.

Contents

Carriera Lavorativa e Formazione	2
Attività Professionali	3
Didattica	8
Ricerca	9
Premi e Riconoscimenti	12
Lista delle pubblicazioni	13

Carriera Lavorativa e Formazione

CARRIERA LAVORATIVA

12/2018 – oggi

Associate Professor presso il Dipartimento di Fisica, Informatica e Matematica (FIM) dell'Università di Modena e Reggio Emilia.

10/2017 – 11/2018

Assistant Professor (RTD A) presso il Dipartimento di Informatica, Scienza e Ingegneria (DISI) dell'Università di Bologna.

10/2013 – 09/2017

Postdoctoral Research Associate presso il Dipartimento di Information Technology and Electrical Engineering (D-ITET) del Politecnico Federale di Zurigo (ETHZ), Svizzera.

09/2015 – 09/2017

Consulente presso il Dipartimento di Ingegneria dell'Energia Elettrica e dell'Informazione (DEI) dell'Università di Bologna.

05/2010 – 08/2015

Postdoc presso il Dipartimento di Ingegneria dell'Energia Elettrica e dell'Informazione (DEI) dell'Università di Bologna.

FORMAZIONE

- Abilitazione scientifica nazionale (II fascia), 09/H1 - SISTEMI DI ELABORAZIONE DELLE INFORMAZIONI (04/04/2017) (art. 16, comma 1, Legge 240/10);
- Dottorato di Ricerca in Ingegneria Elettronica, Informatica e delle Telecomunicazioni, rilasciato dall'Università di Bologna (06/05/2010);
Titolo della tesi: *Tecniche di ottimizzazione del software per sistemi su singolo chip per applicazioni di Nomadic Computing*,
Advisor: Prof. Luca Benini
- *Laurea (V.O.)* in Ingegneria Elettronica, rilasciato dall'Università di Cagliari (A.A. 2004/2005)
Titolo della tesi: *Progetto e implementazione di un sistema di partizionamento hardware/software per architetture riconfigurabili*,
Advisor: Prof. Luigi Raffo, Prof. Salvatore Carta

VISITING EXPERIENCES

- Visiting researcher presso NVIDIA Corporation - USA, Santa Clara (CA) (06/2016)
- Visiting researcher presso Brown University - Dept. of Electronics, Providence, Rhode Island, United States [Ref. Prof. Iris R. Bahar, Prof. Maurice Herlihy] (11/2010 - 05/2011)
- Visiting researcher presso INRIA Futurs - Parc Orsay Université, Orsay Cedex France [Ref. Albert Cohen] (07/2008 - 09/2008)

Attività Professionali

PARTECIPAZIONE A PROGETTI DI RICERCA NAZIONALI E INTERNAZIONALI

- *H2020-ECSEL-2020-101007326-AI4CSM: Automotive Intelligence for/at Connected Shared Mobility*
[05/2021 –] <https://ai4csm.automotive.oth-aw.de/>
Ruolo: Principal Investigator (Coinvolgimento: ALTO)
Attività: Il progetto ha l'obiettivo complessivo di accelerare la transizione verso un'economia verde e digitale sostenibile. Al fine di allinearsi agli obiettivi UE del *Green Deal*, che si concentreranno sulla realizzazione di un sistema di trasporto intelligente, competitivo, sicuro, accessibile e conveniente, il progetto AI4CSM svilupperà componenti per la prossima generazione di veicoli autonomi. Le attività di ricerca svolte presso UNIMORE sotto la guida di Andrea Marongiu si focalizzano sullo sviluppo di: (i) un sistema di monitoring basato su accelerazione FPGA delle condizioni di attenzione dell'autista di un veicolo ad automazione condizionata; (ii) un sistema di *monitoring* e controllo dell'utilizzo delle risorse condivise del sistema di calcolo FPGA mirato a garantire la predicibilità del sistema.
- *H2020-ECSEL-2018-826610-COMP4DRONES: Framework of key enabling technologies for safe and autonomous drones applications*
[10/2019 –] <https://www.comp4drones.eu/>
Ruolo: Principal Investigator (Coinvolgimento: ALTO)
Attività: Il progetto studia soluzioni software e hardware sicure per i droni, in linea con gli obiettivi di SESAR – l'impresa comune che si occupa della ricerca UE sulla gestione del traffico aereo. L'obiettivo è quello di costruire un ecosistema che supporterà la sistematizzazione e la sicurezza di piattaforme drone, con casi d'uso in cinque settori: trasporti, edilizia, sorveglianza e ispezione, logistica e agricoltura. Le attività di ricerca svolte presso UNIMORE sotto la guida di Andrea Marongiu si focalizzano sullo studio di tecniche di progetto di sistemi di calcolo ad alte prestazioni basate su system-on-chip con FPGA. Specificamente, per semplificare il *deployment* di piattaforme *accelerator-rich* su FPGA si svilupperà un'architettura *overlay* che consenta l'integrazione *plug-and-play* di acceleratori sviluppati con metodologie varie e programmabili tramite OpenMP.
- *H2020-FETPROACT-732631-OPRECOMP: Open transprecision computing*
[01/2017 – 11/2018] <http://oprecomp.eu/>
Ruolo: Research Team Leader, Technical Contributor, Co-applicant (Coinvolgimento: ALTO)
Attività: Il progetto esplora un nuovo paradigma di computazione (*transprecision computing*) volto a migliorare l'efficienza energetica dei sistemi di calcolo rilassando l'accuratezza di variabili e parti di programma in maniera da fornire solo la precisione necessaria (contrariamente alla precisione "conservativa" fornita dai tipi standard del linguaggio). Le attività di ricerca svolte presso UNIBO sotto la guida di Andrea Marongiu si focalizzano sullo studio di tecniche di generazione del codice per: i) facilitare l'uso di "transprecision" hardware per il controllo di precisione aritmetica configurabile; ii) combinare tecniche di allocazione dati con l'astrazione di aree di memoria configurabili in energia/precisione, dove tecniche di voltage scaling sulle memorie on-chip possono ridurre drasticamente i consumi al costo di una maggiore probabilità d'errore (*bit-flip*).
- *H2020-ICT-688860-HERCULES: High-performance real-time architectures for low-power embedded systems*
[01/2016 – 01/2019] <http://hercules2020.eu/>
Ruolo: Work-Package Leader, Research Team Leader, Co-applicant (Coinvolgimento: ALTO)
Attività: Il progetto ha come obiettivo quello di ottenere performance predicibili nei sistemi embedded multi-core (e.g., GPU) commerciali. Questo nell'ottica di consentire il loro utilizzo in sistemi con vincoli real-time come le auto a guida autonoma, contestualmente abilitando una riduzione dei consumi ener-

getici di un ordine di grandezza rispetto ai prototipi esistenti. Le attività di ricerca svolte presso ETHZ sotto la guida di Andrea Marongiu si focalizzano sullo sviluppo di tecniche di compilatore e runtime system per garantire l'esecuzione predicibile dei tipici workloads di autonomous navigation (computer vision, machine learning, image processing).

- *FP7-ICT-611016-P-SOCRATES: Parallel Software Framework for Time-Critical Many-core Systems*
[10/2013 – 01/2017] <http://www.p-socrates.eu/>
Ruolo: Work-Package Leader, Research Team Leader, Co-applicant (Coinvolgimento: ALTO)
Attività: Il progetto mira a consentire l'esecuzione efficiente di applicazioni con requisiti di alta performance e vincoli real-time su sistemi embedded many-core eterogenei, assicurandone la predicibilità e facilitandone la programmabilità. Le attività di ricerca svolte presso ETHZ sotto la guida di Andrea Marongiu si focalizzano su due fronti. Primo, sullo sviluppo di un sistema di runtime efficiente per l'esecuzione di parallelismo di tipo *OpenMP tasking* e sulle estensioni del modello di esecuzione OpenMP che ne consentano l'analisi tramite tecniche di real-time scheduling. Secondo, sull'esplorazione di estensioni architetturali (basate su emulazione FPGA) che facilitino l'adozione di paradigmi di memoria virtuale condivisa nei sistemi eterogenei.
- *FP7-ICT-288574-VERTICAL: SW/HW extensions for virtualized heterogeneous multicore platforms*
[07/2011 – 10/2014]
Ruolo: Work-Package Leader, Research Team Leader, Co-applicant (Coinvolgimento: ALTO)
Attività: Il progetto ha come finalità lo studio di estensioni hardware e software per la virtualizzazione dei sistemi embedded eterogenei basati su acceleratori paralleli. Le attività di ricerca svolte presso UNIBO sotto la guida di Andrea Marongiu si focalizzano sullo sviluppo di estensioni al programming model OpenMP per semplificare la programmabilità degli acceleratori in un sistema a memoria virtuale condivisa.
- *FP7-ICT-248776-PRO3D: Programming for Future 3D Architecture with Many Cores*
[01/2010 – 12/2012]
Ruolo: Research Team Leader, Technical Contributor, Co-applicant (Coinvolgimento: ALTO)
Attività: Il progetto mira allo studio delle tecnologie di stacking 3D della memoria come paradigma per il design di architetture many-core, e alle metodologie software necessarie per semplificarne la programmabilità. Il contributo tecnico è volto a i) sviluppare metodologie di compilatore per il partizionamento automatico dei dati nella gerarchia di memoria distribuita 3D, considerando un modello *partitioned global address space* (PGAS); ii) sviluppare metodologie di simulazione parallela dei sistemi target su architettura general-purpose GPU.
- *FP7-ICT-224170-SHARE: Sharing Open Source Software Middleware to improve industry competitiveness in the embedded systems domain (CSA)*
[05/2008 - 04/2010]
Ruolo: Work-Package Leader, Technical Contributor (Coinvolgimento: ALTO)
Attività: Il progetto consiste in una support action mirata a promuovere la diffusione e l'adozione del software open-source. Il contributo tecnico riguarda i) la collaborazione nella creazione di un tool web-based per la valutazione di software open-source esistente in maniera comparativa; ii) l'organizzazione di eventi di disseminazione e workshops per promuovere l'iniziativa.
- *FP7-IDEAS-ERC-291125-MULTITHERMAN: Multi-Scale Thermal Management of Computing Systems*
[04/2012 – 03/2018] <http://www.micrel.deis.unibo.it/multitherman>
Ruolo: Technical Contributor, Co-applicant (Coinvolgimento: BASSO)
Attività: Il progetto studia soluzioni alternative alle assodate pratiche di worst-case design nel thermal planning/management, tramite l'integrazione di metodologie di design thermal-aware e di controllo termico basato su strategie multi-scala di distribuzione del carico computazionale. Il contributo tecnico è

incentrato sullo sviluppo di un sistema di runtime distribuito per architetture massivamente parallele.

- *ARTEMIS-100230-SMECY : Smart Multicore Embedded Systems*

[02/2010 – 01/2013]

Ruolo: Task leader, Technical Contributor (Coinvolgimento: BASSO)

Attività: Il progetto studia nuove tecnologie di programmazione volte a sfruttare efficientemente il parallelismo nei sistemi many-core. Il contributo tecnico è incentrato su aspetti di linguaggio e compilazione per migliorare la località dei dati in un acceleratore many-core (ST-P2012/STHORM).

COLLABORAZIONI INDUSTRIALI

- Magneti Marelli [2016 - 2018]
Responsabile della ricerca per un Contratto di Ricerca Commissionata sull'accelerazione comparativa (GPU, MPPA, FPGA) di *kernel* computazionali estratti da applicazioni di *autonomous driving* (*perception, planning, control*).
- ST Microelectronics [2010-2012]
Responsabile tecnico e organizzativo per un contratto di ricerca commissionata sull'integrazione di acceleratori *shared-memory* nella piattaforma ST P2012/STHORM.
- ST Microelectronics [2010-2012]
Responsabile tecnico e organizzativo per un contratto di ricerca commissionata sullo sviluppo di metodologie e *tools* per il supporto del modello di programmazione OpenMP sulla piattaforma ST P2012/STHORM.
- Freescale Semiconductors Ltd. [2007]
Collaboratore e responsabile tecnico per un contratto di ricerca commissionata sullo sviluppo di tecniche di power management a livello di sistema operativo (Linux) in dispositivi mobile.

COMITATI EDITORIALI

Andrea Marongiu è stato **Guest Editor** per la special issue su *Energy-Quality Scalable Circuits and Systems for Sensing and Computing* del *IEEE Journal on Emerging and Selected Topics in Circuits and Systems* (vol. 8, n.3, 4). La special issue raccoglie contributi su tecniche che spaziano dal software all'hardware, dai circuiti alle applicazioni, volte a evidenziare i benefici ottenibili dai trade-off tra qualità (accuratezza) della computazione e consumi energetici. Andrea Marongiu è **Editor** (e co-autore) del libro "High-Performance and Time-Predictable Embedded Computing" che presenta gli sviluppi recenti nel campo dei modelli di programmazione e dei tools di sviluppo per questi complessi sistemi, capaci di garantire alte performance entro i vincoli temporali imposti.

ORGANIZZAZIONE DI CONFERENZE E WORKSHOP INTERNAZIONALI

Andrea Marongiu è **membro del Technical Program Committee** per le seguenti conferenze:

- DATE (2014 - 2018) - Design Automation and Test in Europe
- MCSoc (2014 - 2018) - International Symposium on Embedded Multicore/Many-core Systems-on-Chip
- SCOPES (2014 - 2018) - International Workshop on Software and Compilers for Embedded Systems
- EUC (2014 - 2015) - International Conference on Embedded and Ubiquitous Computing
- FPL (2015) - International Conference on Field-Programmable Logic and Applications
- DASIP (2013) - Design and Architectures for Signal and Image Processing

- SOMRES (2011) - Workshop on Synthesis and Optimization Methods for Real-Time Embedded Systems

È stato **membro del comitato organizzatore** del sesto “International Workshop on Advances in Parallel Programming Models and Frameworks for the Multi-/Many-core Era” (APPM, @HPCS 2018), del “Workshop on Vertical Virtualization Techniques in Heterogeneous Multicore Embedded Systems” (VVITEMES, @HIPEAC 2014), della special session “Hw/Sw acceleration of Vision and Image processing applications for embedded targets” della conferenza internazionale “Design & Architectures for Signal & Image Processing” (DASIP 2013).

REVISORE PER RIVISTE E CONFERENZE INTERNAZIONALI

Oltre che per le conferenze di cui è membro del TPC, Andrea Marongiu è **revisore** per numerose altre conferenze e riviste, tra cui:

- *Conferences and Workshops:*

PACT - Parallel Architectures and Compilation Techniques, LCTES - Languages, Compilers, Tools and Theory for Embedded Systems, ICECS - International Conference on Electronics, Circuits, and Systems, ICS - International Conference on Supercomputing, CASES - International Conference on Compilers, Architecture, and Synthesis for Embedded Systems, CODES - Conference on Design and Architectures for Signal and Image Processing, ASAP - International Conference on Application-specific Systems, Architectures and Processors, HIREs - High-performance and Real-time Embedded Systems.

- *Journals:* IEEE Access IEEE Transactions on Computers (TC), IEEE Transactions on Parallel and Distributed Systems (TPDS), IEEE Transactions on Industrial Informatics (TII), IEEE Transactions on Signal Processing (TSP), IEEE Transactions on Computer-Aided Design of Integrated Circuits and Systems (TCAD), IEEE Journal on Emerging and Selected Topics in Circuits and Systems (JETCAS), ACM Transactions on Embedded Computing Systems (TECS), ACM Transactions on Design Automation of Electronic Systems (TODAES), ACM Transactions on Architecture and Code Optimization (TACO), ACM Transactions on Reconfigurable Technology and Systems (TRETs), ELSEVIER Microprocessors and Microsystems: Embedded Hardware Design (MICPRO), ELSEVIER Journal of System Architecture (JSA), ELSEVIER Computers & Electrical Engineering (COMPELE-CENG), ELSEVIER Journal of Systems and Software (JSS), ELSEVIER Future Generation Computer Systems (FGCS), ELSEVIER Simulation Modelling Practice and Theory (SIMPAT), ELSEVIER Microelectronics Journal (MEJ), ELSEVIER Integration, the VLSI Journal (VLSI), ELSEVIER Journal of Parallel and Distributed Computing (JPDC), SPRINGER International Journal of Parallel Programming (IJPP), SPRINGER Journal of Real-Time Image Processing (JRTIP), SPRINGER Artificial Intelligence Review (AIRE), SPRINGER Journal of Supercomputing (JSUPE),

COLLABORAZIONI SCIENTIFICHE CON ISTITUTI DI RICERCA INTERNAZIONALI (HIGHLIGHTS)

- Collaborazioni con istituti accademici italiani:
 - Università di Bologna [2010 - ongoing] - Luca Benini
Tema: Supporto efficiente all'esecuzione OpenMP su sistemi eterogenei massivamente paralleli.
 - University of Ferrara [2010 - ongoing] - Davide Bertozzi
Tema: Sistemi MPSoC basati su network-on-chip; primitive HW di sincronizzazione.
 - Politecnico di Torino - [2008 - 2010] - Andrea Acquaviva
Tema: Gestione di effetti di aging (NBTI) nei sistemi MPSoC.

- Collaborazioni con istituti di ricerca internazionali:
 - Swiss Federal Institute of Technology (ETHZ) - Switzerland [2013 - ongoing] - Luca Benini
Tema: Predictable Execution Models per SoC integrati CPU/GPU.
 - Istituto Dalle Molle di studi sull'intelligenza artificiale (SUPSI) - Switzerland [2021 - ongoing] - Daniele Palossi
Tema: Accelerazione di carichi di lavoro per droni e nano-droni autonomi.
 - Czech Technical University in Prague - Czech Republic [2016 - ongoing] - Zdenek Hanzalek
Tema: Co-scheduling predicibile in SoC integrati CPU/GPU.
 - Barcelona Supercomputing Center - Spain [2013 - ongoing] - Eduardo Quiñones
Tema: Time-predictable OpenMP
 - Brown University - Providence RI, USA [2010 - ongoing] - Iris R. Bahar
Tema: Supporto alla transactional memory in sistemi MPSOC; estensioni per la tolleranza alla variability.
 - University of California, San Diego - USA [2012 - 2015] - Rajesh Gupta
Tema: Estensioni architetturali e programming model per l'allocazione variability-aware dei task.
 - Universite de Bretagne Sud - Lorient, France [2011 - 2015] - Philippe Coussy
Tema: Architetture e tools per l'integrazione di hardware generato tramite HLS in cluster paralleli shared-memory.
 - EPFL - Lausanne, Switzerland [2010 - 2012] - David Atienza
Tema: Simulazione di sistemi manycore accelerata su GPGPU.
 - EPFL - Lausanne, Switzerland [2009 - 2010] - Giovanni De Micheli
Tema: Supporto a livello di programming model per la QoS in sistemi MPSoC basati su NoC.
 - INRIA Futurs - Orsay Cedex, France [2008 - 2009] - Albert Cohen
Tema: Tecniche di compilazione per il supporto di transactional memory.
 - Penn State University - USA [2006 - 2007] - Mahmut Kandemir
Tema: Supporto leggero alla sincronizzazione in schemi di parallelizzazione automatica dei loops.

Didattica

Nov 2019 - now

Docente

Dipartimento di Scienze Fisiche, Informatiche e Matematiche, Università di Modena e Reggio Emilia -
Laurea Magistrale.

High Performance Computing - 9 crediti, 63 ore.

Marzo 2020 - now

Docente

Dipartimento di Scienze Fisiche, Informatiche e Matematiche, Università di Modena e Reggio Emilia -
Laurea Triennale.

Architettura dei Calcolatori - 9 crediti, 72 ore.

Nov 2019 - Febbraio 2021

Docente

Dipartimento di Scienze Fisiche, Informatiche e Matematiche, Università di Modena e Reggio Emilia -
Laurea Triennale.

Programmazione I - 40 ore.

Architettura dei Calcolatori - 6 crediti, 52 ore.

Feb 2018 - now

Docente

Dipartimento di Informatica, Scienza e Ingegneria, Università di Bologna - laurea magistrale.

Fondamenti di Informatica T - Modulo 2 - 3 crediti, 30 ore.

Sep 2016 - Sep 2017

Docente a contratto

Dipartimento di Scienze Fisiche, Informatiche e Matematiche, Università di Modena e Reggio Emilia -
laurea triennale.

Programmazione I - 9 crediti, 72 ore.

2013 - 2017

Teaching Assistant

Swiss Federal Institute of Technology in Zurich (ETHZ) - Ingegneria Elettronica - laurea specialistica
Advanced System-on-Chip Design - Lezioni, seminari, esercitazioni di laboratorio.

2013 - 2017

Teaching Assistant

Università di Bologna - Ingegneria Elettronica/Automazione/Informatica - laurea specialistica
Hardware/Software Design Methodologies - Lezioni, seminari, esercitazioni di laboratorio.

2007 - 2013

Teaching Assistant

Università di Bologna - Ingegneria Elettronica/Automazione/Informatica - laurea specialistica
Metodologie di Progettazione Hardware/Software - Lezioni, seminari, esercitazioni di laboratorio.

2008

Guest Lecturer

Università di Verona - Computer Science Degree - laurea magistrale
Distributed Embedded Systems - Seminari.

Da tutti questi lavori di tesi sono state tratte numerose pubblicazioni internazionali.

Ricerca

I miei principali interessi di ricerca gravitano attorno alle architetture e ai modelli di programmazione per i sistemi multi-processore su singolo chip eterogenei (MPSoC), dalla classe di dispositivi di fascia micro-controllore utilizzata nelle applicazioni per l'*internet of things* (IoT) o i micro-droni [IC.12] [IC.4] [JR.12] agli acceleratori many-core come le GPU integrate e i *massively parallel processor arrays* (MPPA) [JR.9] [JR.16].

Una sempre crescente richiesta di potenza di calcolo, combinata con stringenti vincoli di consumo energetico, ha recentemente portato a delle evoluzioni radicali nelle architetture MPSoC. Due paradigmi architetturali si sono in particolare dimostrati efficienti nel soddisfare queste richieste: l'*eterogeneità* e il parallelismo su larga scala (*many-core*). I moderni sistemi embedded eterogenei combinano un processore general-purpose principale (*host*) con una varietà di unità acceleratore: circuiti integrati application-specific (ASIC), digital signal processors (DSP), logica riconfigurabile (FPGA), acceleratori many-core programmabili (GPU, MPPA), etc. I sistemi many-core eterogenei forniscono sulla carta dei picchi di performance/Watt elevatissimi, ma il compito di tradurre questi numeri in performance reale è delegato al reame del software. Questo genera la necessità di modelli di programmazione e *tools* che massimizzino la produttività degli sviluppatori software, allo stesso tempo riducendo al minimo la perdita di performance tipicamente introdotta dall'astrazione.

La mia ricerca sfrutta l'interazione sinergica tra hardware e software, fornendo soluzioni verticali che coinvolgono vari livelli dello stack di sviluppo (interfaccia di programmazione, compilatore, runtime system, sistema operativo, architettura) per raggiungere specifici target di performance, energia e/o predicibilità.

RICERCA PASSATA

Durante i miei studi di dottorato mi sono focalizzato sulle difficoltà chiave nella programmazione dei sistemi MPSoC embedded. Vincoli architetturali come la quantità ridotta di memoria *on-chip*, i bassissimi budget di energia, la mancanza di cache e protocolli di coerenza rendono complicato il supporto di modelli di programmazione standard su questi sistemi. Uno dei principali risultati del mio dottorato consiste in un insieme di tecniche a livello di compilatore e runtime system per abilitare l'utilizzo del popolare modello di programmazione OpenMP su questi sistemi. In questo contesto, mi sono focalizzato sulla gestione della memoria *on-chip* in due principali direzioni:

Gestione della memoria *scratchpad* distribuita: La maggior parte degli MPSoC sfrutta gerarchie di memoria basate su *scratchpad memory* piuttosto che *caches*, il che implica la necessità di una gestione esplicita di queste memorie. Per semplificare questo compito ho proposto delle estensioni a OpenMP che rendono la gestione delle memorie *on-chip* trasparente, tramite il partizionamento automatico dei dati e la loro distribuzione nella gerarchia [JR.30] [IC.50] [IC.47] [IC.45].

Transactional memory: Durante una internship presso INRIA Paris, in seno a un progetto per supportare la *transactional memory* (TM) nel compilatore GNU GCC, ho studiato l'applicabilità del paradigma alla parallelizzazione speculativa di applicazioni irregolari (e.g., *reductions* su array sparsi) [NC.19]. Ho continuato la ricerca in questo campo in collaborazione con Brown University. Durante una internship si è progettata una soluzione integrata HW/SW per la programmazione TM sui sistemi embedded MPSoC [JR.10] [IC.43] [IC.31] [NC.16].

RICERCA PRESENTE E FUTURA

Da postdoc ho avuto l'opportunità di supervisionare numerosi tesisti e studenti di dottorato, il che mi ha consentito di estendere significativamente i miei orizzonti di ricerca. Continuo a lavorare sui modelli di program-

mazione per i sistemi eterogenei, con particolare attenzione sulle ultime specifiche di OpenMP [JR.9] [JR.19] [JR.25] [JR.20] [IC.37] [IC.36] [NC.15]. Recentemente, ho studiato estensivamente il modello OpenVX, data la sua rilevanza nel contesto dell'accelerazione della *computer vision*, proponendo numerose tecniche per il suo supporto efficiente sui sistemi embedded eterogenei [JR.21] [IC.7] [IC.22] [NC.10]. Sono anche stato co-autore di numerosi lavori sulla simulazione di sistemi many-core eterogenei, [JR.26] [JR.18] [JR.28] [IC.41] [IC.44] [IC.49] [NC.14] [NC.17]. Le infrastrutture sviluppate in questo contesto sono state abilitanti per lo sviluppo di numerose tematiche di ricerca.

Virtualizzazione degli acceleratori shared-memory: Gli MPSoC eterogenei tipicamente includono sia unità funzionali hardware dedicate (HWFU) che acceleratori many-core programmabili (PMCA). In entrambi i casi, ciò che pone probabilmente le sfide maggiori nella programmazione degli acceleratori è il complesso sistema di memoria adottato dai design eterogenei, che richiede un'orchestrazione esplicita sia del flusso di controllo che della gestione dei dati.

Focalizzandosi sui PMCA, mentre i dispositivi di fascia alta stanno incrementalmente supportando il paradigma *heterogeneous uniform memory access* (hUMA), le loro controparti *low-power* non possiedono astrazioni di base come il supporto per la memoria virtuale. In questo contesto si sta studiando una soluzione hardware/software leggera per il supporto di memoria virtuale condivisa su PMCA. Questa soluzione sfrutta logica IOMMU semplificata (implementabile anche su FPGA), la cui parte di controllo è gestita dal software. Precisamente, il compilatore trasforma gli accessi ai dati condivisi in modo da interagire con un driver del sistema operativo che gestisce l'hardware in maniera trasparente [JR.16] [JR.14] [IC.17] [NC.3] [NC.9] [NC.12].

Focalizzandosi sulle HWFUs, si sta studiando una architettura dove i blocchi acceleratore condividono la stessa memoria dati L1 tramite cui comunicano anche i processori, realizzando un paradigma zero-copy. In questa soluzione, tool di high-level synthesis (HLS) possono essere usati per generare i blocchi HW, che tramite un'interfaccia appositamente disegnata possono essere facilmente integrati in cluster di processori paralleli [JR.24] [JR.22] [IC.24] [IC.32] [IC.39] [IC.40].

Esecuzione predicibile su piattaforme eterogenee manycore: L'applicazione di tecniche di analisi real-time nel contesto dei moderni sistemi many-core è ostacolata dalle difficoltà nel determinarne i tempi d'esecuzione di caso peggiore (WCET). La condivisione di risorse hardware introduce ritardi non deterministici, che tipicamente vengono gestiti in maniera conservativa considerando WCET enormemente pessimistici. Nel contesto di due progetti europei, si è affrontata la problematica da due angoli diversi:

Nel progetto P-SOCRATES si è studiata una metodologia per estrarre da un programma parallelizzato col *tasking* OpenMP un grafo esteso delle dipendenze tra task, che cattura le proprietà real-time del programma così come le informazioni sui tempi d'esecuzione. L'analogia tra il modello d'esecuzione OpenMP e quello usato nelle tecniche di analisi real-time consente di trovare un *mapping* e uno *schedule* che soddisfano i vincoli di timing dell'applicazione. Per consentire l'esecuzione efficiente del parallelismo *fine-grained* tipico delle applicazioni embedded si sono studiate numerose soluzioni di design del sistema di runtime che ne riducono i costi [IC.19] [IC.16] [JR.23] [IC.27].

Il progetto HERCULES si focalizza su sistemi embedded con GPU integrata, che condivide con la CPU la memoria DRAM principale, impattando i tempi d'esecuzione delle applicazioni. La soluzione studiata sfrutta l'idea di arbitrare l'accesso alla DRAM da parte di differenti attori nel sistema (CPU, GPU, periferiche di I/O) per evitare la suddetta mancanza di determinismo nei tempi d'esecuzione. Il compilatore analizza e trasforma il codice dei task CPU e GPU secondo i dettami di un *predictable execution model* (PREM), dove le istruzioni di calcolo e quelle di tipo load/store sono disaccoppiate in "fasi" di memoria ed esecuzione che possono essere indipendentemente schedulate a livello di sistema operativo/hypervisor [IC.2] [IC.3] [NC.1] [NC.2] [IC.5] [IC.11] [IC.15] [JR.15].

Approximate computing e tolleranza agli errori da variability: Con la miniaturizzazione dei processi produttivi CMOS, la comparsa di errori (*timing errors*) dovuti a *variability* statica e dinamica rappresenta un problema crescente. In alternativa a soluzioni di design conservative basate sul concetto di *guard-bands*, stiamo studiando soluzioni più ottimistiche per gestire il problema:

A livello di processore, in collaborazione con Brown University stiamo studiando l'uso della *transactional memory* come tecnica speculativa per operare a bassi voltaggi e garantire la *system recovery* – tramite i meccanismi di *abort* e *roll back* – nel caso in cui le transazioni dovessero essere soggette a errori [JR.13] [IC.20]. In collaborazione con la University of California, San Diego, abbiamo esplorato un'estensione *variability-aware* a OpenMP. Definendo la nozione di *work-unit vulnerability* (WUV), si monitorano i *timing errors* a runtime e si sfrutta questa conoscenza per allocare ciascuna *work-unit* al processore più adatto per l'esecuzione [JR.27] [IC.18] [IC.33] [IC.35].

A livello della memoria, si è studiato il problema della bassa affidabilità della tecnologia *six-transistor static RAM* (6T-SRAM), largamente utilizzata per l'implementazione di *scratchpad memory* e *cache*, quando livelli elevati di *voltage scaling* vengono applicati per risparmiare energia. Abbiamo proposto sistemi di memoria ibridi, dove la 6T-SRAM è affiancata a *standard cell memory* (SCM), che pur risultando affidabile anche a bassi voltaggi ha costi elevatissimi e basse densità. I dati che esibiscono tolleranza alla approssimazione del calcolo vengono allocati in maniera partizionata tra la SRAM and SCM. Questo consente l'operazione del sistema a bassi voltaggi garantendone al contempo il corretto funzionamento (eventuali errori sono vincolati sui bit meno significativi, la parte del dato allocata in SRAM) [JR.17] [IC.6] [IC.21].

Più recentemente – in seno alle attività del progetto H2020 OPRECOMP – si è progettato un prototipo iniziale di un sistema di *transprecision computing*, dove l'hardware e il software operano sinergicamente per supportare dei tipi di dato *smallfloat*, che consentono il calcolo *floating-point* con *sub-word precision* (8 e 16 bit) [IC.1] [NC.4].

Premi e Riconoscimenti

- AW.1. **Best paper award:** Paolo Burgio, Andrea Marongiu, Paolo Valente, Marko Bertogna, “A memory-centric approach to enable timing-predictability within embedded many-core accelerators,” *ACM/IEEE/CSI Symposium on Real-Time and Embedded Systems and Technologies (RTEST)*, 2015. [IC.15]
- AW.2. **Best paper award:** Francesco Conti, Chuck Pilkington, Andrea Marongiu, Luca Benini, “He-P2012: Architectural heterogeneity exploration on a scalable many-core platform,” *25th IEEE International Conference on Application-specific Systems, Architectures and Processors (ASAP)*, 2014. [IC.24]
- AW.3. **Best paper award:** Dimitra Papagiannopoulou, Tali Moreshet, Andrea Marongiu, Luca Benini, Maurice Herlihy, R. Iris Bahar, “Speculative synchronization for coherence-free embedded NUMA architectures,” *International Conference on Embedded Computer Systems: Architectures, Modeling and Simulation (ICSAMOS)*, 2014. [IC.31]
- AW.4. **Best poster award:** P. Burgio, A. Marongiu, L. Benini. “OpenMP extensions to exploit HW acceleration on shared-memory many-core clusters,” *International Conference on Design, Automation and Test in Europe (DATE)*, 2013.
- AW.5. **Best paper award candidate:** Cesare Ferri, Andrea Marongiu, Benjamin Lipton, Iris R. Bahar, Luca Benini, Maurice Herlihy, Tali Moreshet, “SoC-TM: Integrated HW/SW Support for Transactional Memory Programming on Embedded MPSoCs,” *International Conference on Hardware/Software Codesign and System Synthesis (CODES)*, 2011. [IC.43]
- AW.6. **Best paper award candidate:** Jaume Joven, Andrea Marongiu, Federico Angiolini, Luca Benini, Giovanni De Micheli, “Exploring programming model-driven QoS support for NoC-based platforms,” *International Conference on Hardware/Software Codesign and System Synthesis (CODES)*, 2010. [IC.46]
- AW.7. **Best paper award candidate:** Shivani Raghav, Martino Ruggiero, David Atienza, Christian Pinto, Andrea Marongiu, Luca Benini, “Scalable instruction set simulator for thousand-core architectures running on GPGPUs,” *International Conference on High Performance Computing and Simulation (HPCS)*, 2010. [IC.49]

Lista delle pubblicazioni

Per la lista aggiornata delle mie pubblicazioni si vedano i seguenti link:

- [Google Scholar](#)
- [Scopus](#)
- [DBLP](#)

-
- JR.1. Bjoern Forsberg, Luca Benini, Andrea Marongiu, “HePREM: A Predictable Execution Model for GPU-based Heterogeneous SoCs,” *IEEE Transactions on Computers* [doi: <http://dx.doi.org/10.1109/TC.2020.2980520>], 2021
- JR.2. Nicola Capodieci, Roberto Cavicchioli, Andrea Marongiu, “A Taxonomy of Modern GPGPU Programming Methods: On the Benefits of a Unified Specification,” *IEEE TRANSACTIONS ON COMPUTER-AIDED DESIGN OF INTEGRATED CIRCUITS AND SYSTEMS* [doi: <http://dx.doi.org/10.1109/TCAD.2021.3082863>], 2021
- JR.3. Bjoern Forsberg, Marco Solieri, Marko Bertogna, Luca Benini, Andrea Marongiu, “The Predictable Execution Model in Practice: Compiling Real Applications for COTS Hardware,” *ACM TRANSACTIONS ON EMBEDDED COMPUTING SYSTEMS* [doi: <http://dx.doi.org/10.1145/3465370>], 2021
- JR.4. Giuseppe Tagliavini, Andrea Marongiu, Luca Benini, “FlexFloat: A Software Library for Transprecision Computing,” *IEEE TRANSACTIONS ON COMPUTER-AIDED DESIGN OF INTEGRATED CIRCUITS AND SYSTEMS* [doi: <http://dx.doi.org/10.1109/TCAD.2018.2883902>], 2020
- JR.5. Pirmin Vogel, Andrea Marongiu, Luca Benini, “Exploring Shared Virtual Memory for FPGA Accelerators with a Configurable IOMMU,” *IEEE TRANSACTIONS ON COMPUTERS* [doi: <http://dx.doi.org/10.1109/TC.2018.2879080>], 2019
- JR.6. Daniele Palossi, Andres Gomez, Stefan Draskovic, Andrea Marongiu, Lothar Thiele, Luca Benini, “Extending the Lifetime of Nano-Blimps via Dynamic Motor Control,” *JOURNAL OF SIGNAL PROCESSING SYSTEMS FOR SIGNAL, IMAGE, AND VIDEO TECHNOLOGY* [doi: <http://dx.doi.org/10.1007/s11265-018-1343-1>], 2019
- JR.7. Joel Matejka, Bjoern Forsberg, Michal Sojka, Premysl Sucha, Luca Benini, Andrea Marongiu, Zdenek Hanzalek, “Combining PREM compilation and static scheduling for high-performance and predictable MPSoC execution,” *PARALLEL COMPUTING* [doi: <http://dx.doi.org/10.1016/j.parco.2018.11.002>], 2019
- JR.8. Alessandro Capotondi, Andrea Marongiu, Luca Benini, “Runtime Support for Multiple Offload-Based Programming Models on Clustered Manycore Accelerators,” *IEEE TRANSACTIONS ON EMERGING TOPICS IN COMPUTING* [doi: <http://dx.doi.org/10.1109/TETC.2016.2554318>], 2018
- JR.9. Giuseppe Tagliavini, Daniele Cesarini, Andrea Marongiu, “Unleashing Fine-Grained Parallelism on Embedded Many-Core Accelerators with Lightweight OpenMP Tasking,” *IEEE Transactions on Parallel and Distributed Systems* [doi: <https://doi.org/10.1109/TPDS.2018.2814602>], Mar. 2018
- JR.10. Dimitra Papagiannopoulou, Andrea Marongiu, Tali Moreshet, Luca Benini, Maurice Herlihy, R. Iris Bahar, “Hardware Transactional Memory Exploration in Coherence-Free Many-Core Architectures,” *International Journal of Parallel Programming*, Springer [doi: <https://doi.org/10.1007/s10766-018-0569-7>], Apr. 2018
- JR.11. Daniele Palossi, Andres Gomez, Stefan Draskovic, Andrea Marongiu, Lothar Thiele, Luca Benini, “Extending the Lifetime of Nano-Blimps via Dynamic Motor Control,” *Journal of Signal Processing Systems* [doi: <https://doi.org/10.1007/s11265-018-1343-1>], Feb. 2018
- JR.12. Igor Loi, Alessandro Capotondi, Davide Rossi, Andrea Marongiu, Luca Benini, “The Quest for Energy-Efficient IS Design in Ultra-Low-Power Clustered Many-Cores,” *IEEE Transactions on Multi-Scale Computing Systems* [doi: <https://doi.org/10.1109/TMSCS.2017.2769046>], Nov. 2017
- JR.13. Dimitra Papagiannopoulou, Andrea Marongiu, Tali Moreshet, Maurice Herlihy, R. Iris Bahar, “Edge-TM: Exploiting Transactional Memory for Error Tolerance and Energy Efficiency,” *ACM Transactions on Embedded Computing Systems* [doi: <https://doi.org/10.1145/3126556>], Sep. 2017
- JR.14. Pirmin Vogel, Andreas Kurth, Johannes Weinbuch, Andrea Marongiu, Luca Benini, “Efficient Virtual Memory Sharing via On-Accelerator Page Table Walking in Heterogeneous Embedded SoCs,” *ACM Transactions on Embedded Computing Systems* [doi: <https://doi.org/10.1145/3126560>], Sep. 2017
- JR.15. Paolo Burgio, Marko Bertogna, Nicola Capodieci, Roberto Cavicchioli, Michal Sojka, Premysl Houdek, Andrea Marongiu, Paolo Gai, Claudio Scordino, Bruno Morelli, “A software stack for next-generation automotive systems on many-core heterogeneous platforms,” *Microprocessors and Microsystems - Embedded Hardware Design* [doi: <https://doi.org/10.1016/j.micpro.2017.06.016>], Jul. 2017

- JR.16. Pirmin Vogel, Andrea Marongiu, Luca Benini, "Lightweight Virtual Memory Support for Zero-Copy Sharing of Pointer-Rich Data Structures in Heterogeneous Embedded SoCs," *IEEE Transactions on Parallel and Distributed Systems* [doi: <https://doi.org/10.1109/TPDS.2016.2645219>], Jul. 2017
- JR.17. Giuseppe Tagliavini, Davide Rossi, Andrea Marongiu, Luca Benini, "Synergistic HW/SW Approximation Techniques for Ultra-Low-Power Parallel Computing," *IEEE Transactions on Computer-Aided Design of Integrated Circuits and Systems* [doi: <https://doi.org/10.1109/TCAD.2016.2633474>], Nov. 2016
- JR.18. Daniele Bortolotti, Andrea Marongiu, Luca Benini, "VirtualSoC: a Research Tool for Modern MPSoCs," *ACM Transactions on Embedded Computing Systems* [doi: <https://doi.org/10.1145/2930665>], Nov. 2016
- JR.19. Alessandro Capotondi, Germain Haugou, Andrea Marongiu, Luca Benini, "Runtime Support for Multiple Offload-Based Programming Models on Embedded Manycore Accelerators," *IEEE Transactions on Emerging Topics in Computing* [Preprint] 2016. [doi: <http://doi.ieeecomputersociety.org/10.1109/TETC.2016.2554318>]
- JR.20. Andrea Marongiu, Alessandro Capotondi, Luca Benini, "Controlling NUMA effects in embedded manycore applications with lightweight nested parallelism support," *Parallel Computing (Elsevier)* [Preprint] 2016. [doi: <http://dx.doi.org/10.1016/j.parco.2016.02.002>]
- JR.21. Giuseppe Tagliavini, Germain Haugou, Andrea Marongiu, Luca Benini, "Optimizing memory bandwidth exploitation for OpenVX applications on embedded many-core accelerators," *Journal of Real-Time Image Processing (Springer)*, 2015. [doi: <http://dx.doi.org/10.1007/s11554-015-0544-0>]
- JR.22. Francesco Conti, Andrea Marongiu, Chuck Pilkington, Luca Benini, "He-P2012: Performance and Energy Exploration of Architecturally Heterogeneous Many-Cores," *Journal of Signal Processing Systems (Springer)*, 2015. [doi: <http://dx.doi.org/10.1007/s11265-015-1056-7>]
- JR.23. Luis Miguel Pinho, Vincent Nélis, Patrick Meumeu Yomsi, Eduardo Quiñones, Marko Bertogna, Paolo Burgio, Andrea Marongiu, Claudio Scordino, Paolo Gai, Michele Ramponi, Michal Madiak, "P-SOCRATES: A parallel software framework for time-critical many-core systems," *Microprocessors and Microsystems (Elsevier)*, 2015. [doi: <http://dx.doi.org/10.1016/j.micpro.2015.06.004>]
- JR.24. Masoud Dehyadegari, Andrea Marongiu, Mohammad Reza Kakoei, Siamak Mohammadi, Nasser Yazdani, Luca Benini, "Architecture Support for Tightly-Coupled Multi-Core Clusters with Shared-Memory HW Accelerators," *IEEE Transactions on Computers*, 2015. [doi: <http://dx.doi.org/10.1109/TC.2014.2360522>]
- JR.25. Andrea Marongiu, Alessandro Capotondi, Giuseppe Tagliavini, Luca Benini, "Simplifying Many-Core-Based Heterogeneous SoC Programming With Offload Directives," *IEEE Transactions on Industrial Informatics*, 2015. [doi: <http://dx.doi.org/10.1109/TII.2015.2449994>]
- JR.26. Shivani Raghav, Martino Ruggiero, Andrea Marongiu, Christian Pinto, David Atienza, Luca Benini, "GPU Acceleration for Simulating Massively Parallel Many-core Platforms," *IEEE Transactions on Parallel and Distributed Systems*, 2015. [doi: <http://dx.doi.org/10.1109/TPDS.2014.2319092>]
- JR.27. Abbas Rahimi, Daniele Cesarini, Andrea Marongiu, Rajesh K. Gupta, Luca Benini, "Improving Resilience to Timing Errors by Exposing Variability Effects to Software in Tightly-Coupled Processor Clusters," *IEEE Journal on Emerging and Selected Topics in Circuits and Systems*, 2014. [doi: <http://dx.doi.org/10.1109/JETCAS.2014.2315883>]
- JR.28. Shivani Raghav, Andrea Marongiu, Christian Pinto, Martino Ruggiero, David Atienza, Luca Benini, "SIMinG-1k: A thousand-core simulator running on general-purpose graphical processing units," *Concurrency and Computation: Practice and Experience (Wiley)*, 2013. [doi: <http://dx.doi.org/10.1002/cpe.2940>]
- JR.29. Jaume Joven, Andrea Marongiu, Federico Angiolini, Luca Benini, Giovanni De Micheli, "An integrated, programming model-driven framework for NoC-QoS support in cluster-based embedded many-cores," *Parallel Computing (Elsevier)*, 2013. [doi: <http://dx.doi.org/10.1016/j.parco.2013.06.002>]
- JR.30. Andrea Marongiu, Luca Benini, "An OpenMP Compiler for Efficient Use of Distributed Scratchpad Memory in MP-SoCs," *IEEE Transactions on Computers*, 2012. [doi: <http://dx.doi.org/10.1109/TC.2010.199>]
- JR.31. Andrea Marongiu, Paolo Burgio, Luca Benini, "Supporting OpenMP on a multi-cluster embedded MPSoC," *Microprocessors and Microsystems (Elsevier)*, 2011. [doi: <http://dx.doi.org/10.1016/j.micpro.2011.08.010>]

REFEREED INTERNATIONAL CONFERENCES

- IC.1. Giuseppe Tagliavini, Stefan Mach, Davide Rossi, Andrea Marongiu, Luca Benini "A Transprecision Floating-Point Platform for Ultra-Low Power Computing," *Design, Automation, and Test in Europe conference (DATE)*, 2018.
- IC.2. Björn Forsberg, Luca Benini, Andrea Marongiu, "HePREM: Enabling Predictable GPU Execution on Heterogeneous SoC," *Design, Automation, and Test in Europe conference (DATE)*, 2018.
- IC.3. Björn Forsberg, Andrea Marongiu, Luca Benini, "GPUguard: Towards supporting a predictable execution model for heterogeneous SoC," *Design, Automation, and Test in Europe conference (DATE)*, 2017.

- IC.4. Daniele Palossi, Andrea Marongiu, Luca Benini, "Ultra low-power visual odometry for nano-scale unmanned aerial vehicles," *Design, Automation, and Test in Europe conference (DATE)*, 2017.
- IC.5. Björn Forsberg, Daniele Palossi, Andrea Marongiu, Luca Benini, "GPU-Accelerated Real-Time Path Planning and the Predictable Execution Model," *International Conference on Computational Science (ICCS)*, 2017.
- IC.6. Giuseppe Tagliavini, Andrea Marongiu, Davide Rossi, Luca Benini, "Always-On Motion Detection with Application-Level Error Control on a Near-Threshold Approximate Computing Platform," *23rd IEEE International Conference on Electronics Circuits (ICECS)*, 2016.
- IC.7. Giuseppe Tagliavini, Germain Haugou, Andrea Marongiu, Luca Benini, "Enabling OpenVX support in mW-scale parallel accelerators," *Proceedings of the International Conference on Compilers, Architectures and Synthesis for Embedded Systems (CASES)*, 2016.
- IC.8. Thomas Carle, Dimitra Papagiannopoulou, Tali Moreshet, Andrea Marongiu, Maurice Herlihy, R. Iris Bahar, "Thrifty-malloc: A HW/SW codesign for the dynamic management of hardware transactional memory in embedded multicore systems," *Proceedings of the International Conference on Compilers, Architectures and Synthesis for Embedded Systems (CASES)*, 2016.
- IC.9. Daniele Palossi, Michele Furci, Roberto Naldi, Andrea Marongiu, Lorenzo Marconi, Luca Benini, "An energy-efficient parallel algorithm for real-time near-optimal UAV path planning," *Proceedings of the ACM International Conference on Computing Frontiers (CF)*, 2016.
- IC.10. Alessandro Capotondi, Andrea Marongiu, "On the effectiveness of OpenMP teams for cluster-based many-core accelerators," *High Performance Computing & Simulation (HPCS), 2016 International Conference on*, 2016.
- IC.11. Paolo Burgio, Marko Bertogna, Ignacio Sanudo Olmedo, Paolo Gai, Andrea Marongiu, Michal Sojka, "A Software Stack for Next-Generation Automotive Systems on Many-Core Heterogeneous Platforms," *Digital System Design (DSD), 2016 Euromicro Conference on*, 2016.
- IC.12. Francesco Conti, Daniele Palossi, Andrea Marongiu, Davide Rossi, Luca Benini, "Enabling the Heterogeneous Accelerator Model on Ultra-Low Power Microcontroller Platforms," *Design, Automation, and Test in Europe conference (DATE)*, 2016.
- IC.13. Daniele Cesarini, Andrea Marongiu, Luca Benini, "An Optimized Task-Based Runtime System For Resource-Constrained Parallel Accelerators," *Design, Automation, and Test in Europe conference (DATE)*, 2016.
- IC.14. Davide Rossi, Francesco Conti, Andrea Marongiu, Antonio Pullini, Igor Loi, Michael Gautschi, Giuseppe Tagliavini, Alessandro Capotondi, Philippe Flatresse, Luca Benini, "PULP: A parallel ultra low power platform for next generation IoT applications," *Hot Chips 27 Symposium (HCS)*, 2015 IEEE.
- IC.15. Paolo Burgio, Andrea Marongiu, Paolo Valente, Marko Bertogna, "A memory-centric approach to enable timing-predictability within embedded many-core accelerators," *ACM/IEEE/CSI Symposium on Real-Time and Embedded Systems and Technologies (RTEST)*, 2015.
- IC.16. Maria A. Serrano, Alessandra Melani, Roberto Vargas, Andrea Marongiu, Marko Bertogna, Eduardo Quiñones, "Timing characterization of OpenMP4 tasking model," *International Conference on Compilers, Architecture and Synthesis for Embedded Systems (CASES)*, 2015.
- IC.17. Pirmin Vogel, Andrea Marongiu, Luca Benini, "Lightweight virtual memory support for many-core accelerators in heterogeneous embedded SoCs," *International Conference on Hardware/Software Codesign and System Synthesis (CODES)*, 2015.
- IC.18. Abbas Rahimi, Daniele Cesarini, Andrea Marongiu, Rajesh K. Gupta, Luca Benini, "Task scheduling strategies to mitigate hardware variability in embedded shared memory clusters," *Design Automation Conference (DAC)*, 2015.
- IC.19. Roberto Vargas, Eduardo Quiñones, Andrea Marongiu, "OpenMP and timing predictability: a possible union?," *Design, Automation, and Test in Europe conference (DATE)*, 2015.
- IC.20. Dimitra Papagiannopoulou, Andrea Marongiu, Tali Moreshet, Luca Benini, Maurice Herlihy, R. Iris Bahar, "Playing with Fire: Transactional Memory Revisited for Error-Resilient and Energy-Efficient MPSoC Execution," *ACM Great Lakes Symposium on VLSI (GLSVLSI)*, 2015.
- IC.21. Giuseppe Tagliavini, Davide Rossi, Andrea Marongiu, Luca Benini, "Synergistic Architecture and Programming Model Support for Approximate Micropower Computing," *IEEE Computer Society Annual Symposium on VLSI (ISVLSI)*, 2015.
- IC.22. Giuseppe Tagliavini, Germain Haugou, Andrea Marongiu, Luca Benini, "ADRENALINE: An OpenVX Environment to Optimize Embedded Vision Applications on Many-core Accelerators," *IEEE 9th International Symposium on Embedded Multicore/Many-core System-on-Chip (MCSoc)*, 2015.
- IC.23. Alessandro Capotondi, Andrea Marongiu, Luca Benini, "Enabling Scalable and Fine-Grained Nested Parallelism on Embedded Many-cores," *IEEE 9th International Symposium on Embedded Multicore/Many-core Systems-on-Chip (MCSoC)*, 2015.

- IC.24. Francesco Conti, Chuck Pilkington, Andrea Marongiu, Luca Benini, "He-P2012: Architectural heterogeneity exploration on a scalable many-core platform," *25th IEEE International Conference on Application-specific Systems, Architectures and Processors (ASAP)*, 2014.
- IC.25. Paolo Burgio, Robin Danilo, Andrea Marongiu, Philippe Coussy, Luca Benini, "A tightly-coupled hardware controller to improve scalability and programmability of shared-memory heterogeneous clusters," *Design, Automation, and Test in Europe conference (DATE)*, 2014.
- IC.26. Paolo Burgio, Giuseppe Tagliavini, Francesco Conti, Andrea Marongiu, Luca Benini, "Tightly-coupled hardware support to dynamic parallelism acceleration in embedded shared memory clusters," *Design, Automation, and Test in Europe conference (DATE)*, 2014.
- IC.27. Luís Miguel Pinho, Eduardo Quiñones, Marko Bertogna, Andrea Marongiu, Jorge Pereira Carlos, Claudio Scordino, Michele Ramponi, "P-SOCRATES: A Parallel Software Framework for Time-Critical Many-Core Systems," *Euromicro Conference on Digital System Design: Architectures, Methods and Tools (DSD)*, 2014.
- IC.28. Paolo Burgio, Andrea Marongiu, Philippe Coussy, Luca Benini, "A HLS-Based Toolflow to Design Next-Generation Heterogeneous Many-Core Platforms with Shared Memory," *IEEE International Conference on Embedded and Ubiquitous Computing (EUC)*, 2014.
- IC.29. Francesco Conti, Chuck Pilkington, Andrea Marongiu, Luca Benini, "He-P2012: architectural heterogeneity exploration on a scalable many-core platform," *ACM Great Lakes Symposium on VLSI (GLSVLSI)*, 2014.
- IC.30. Marco Balboni, Marta Ortín-Obón, Alessandro Capotondi, Hervé Tatenguem Fankem, Alberto Ghiribaldi, Luca Ramini, Víctor Viñals, Andrea Marongiu, Davide Bertozzi, "Augmenting manycore programmable accelerators with photonic interconnect technology for the high-end embedded computing domain," *IEEE/ACM International Symposium on Networks-on-Chip (NOCS)*, 2014.
- IC.31. Dimitra Papagiannopoulou, Tali Moreshet, Andrea Marongiu, Luca Benini, Maurice Herlihy, R. Iris Bahar, "Speculative synchronization for coherence-free embedded NUMA architectures," *International Conference on Embedded Computer Systems: Architectures, Modeling and Simulation (ICSAMOS)*, 2014.
- IC.32. Francesco Conti, Andrea Marongiu, Luca Benini, "Synthesis-friendly techniques for tightly-coupled integration of hardware accelerators into shared-memory multi-core clusters," *International Conference on Hardware/Software Codesign and System Synthesis (CODES)*, 2013.
- IC.33. Abbas Rahimi, Andrea Marongiu, Rajesh Gupta, Luca Benini, "A Variability-Aware OpenMP Environment for Efficient Execution of Accuracy-Configurable Computation on Shared-FPU Processor Clusters," *International Conference on Hardware/Software Codesign and System Synthesis (CODES)*, 2013.
- IC.34. Paolo Burgio, Andrea Marongiu, Robin Danilo, Philippe Coussy, Luca Benini, "Architecture and Programming Model Support for Efficient Heterogeneous Computing on Tightly-Coupled Shared-Memory Clusters," *Design and Architectures for Signal and Image Processing (DASIP)*, 2013.
- IC.35. Abbas Rahimi, Andrea Marongiu, Paolo Burgio, Rajesh K. Gupta, Luca Benini, "Variation-tolerant OpenMP tasking on tightly-coupled processor clusters," *Design, Automation, and Test in Europe conference (DATE)*, 2013.
- IC.36. Paolo Burgio, Giuseppe Tagliavini, Andrea Marongiu, Luca Benini, "Enabling fine-grained OpenMP tasking on tightly-coupled shared memory clusters," *Design, Automation, and Test in Europe conference (DATE)*, 2013.
- IC.37. Andrea Marongiu, Paolo Burgio, Luca Benini, "Fast and Lightweight Support for Nested Parallelism on Cluster-Based Embedded Many-Cores," *Design, Automation, and Test in Europe conference (DATE)*, 2012.
- IC.38. José L. Abellán, Daniele Bortolotti, Andrea Marongiu, Davide Bertozzi, Juan Fernández, Manuel E. Acacio, Luca Benini, "Design of a Collective Communication Infrastructure for Barrier Synchronization in Cluster-Based Nanoscale MPSoCs," *Design, Automation, and Test in Europe conference (DATE)*, 2012.
- IC.39. Paolo Burgio, Andrea Marongiu, Dominique Heller, Cyrille Chavet, Philippe Coussy, Luca Benini, "OpenMP-based Synergistic Parallelization and HW Acceleration for On-Chip Shared-Memory Clusters," *Euromicro Conference on Digital System Design: Architectures, Methods and Tools (DSD)*, 2012.
- IC.40. Masoud Dehyadegari, Andrea Marongiu, Mohammad Reza Kakoei, Luca Benini, Siamak Mohammadi, Naser Yazdani, "A Tightly-Coupled Multi-Core Cluster with Shared-Memory HW Accelerators," *International Conference on Embedded Computer Systems: Architectures, Modeling and Simulation (ICSAMOS)*, 2012.
- IC.41. Christian Pinto, Shivani Raghav, Andrea Marongiu, Martino Ruggiero, David Atienza, Luca Benini, "GPGPU-Accelerated Parallel and Fast Simulation of Thousand-Core Platforms," *11th IEEE/ACM International Symposium on Cluster, Cloud and Grid Computing (CCGrid)*, 2011.
- IC.42. Alessio Franceschelli, Paolo Burgio, Giuseppe Tagliavini, Andrea Marongiu, Martino Ruggiero, Michele Lombardi, Alessio Bonfietti, Michela Milano, Luca Benini, "MPOpt-Cell: a high-performance data-flow programming environment for the CELL BE processor," *8th ACM International Conference on Computing Frontiers*, 2011.

- IC.43. Cesare Ferri, Andrea Marongiu, Benjamin Lipton, Iris R. Bahar, Luca Benini, Maurice Herlihy, Tali Moreshet, "SoC-TM: Integrated HW/SW Support for Transactional Memory Programming on Embedded MPSoCs," *International Conference on Hardware/Software Codesign and System Synthesis (CODES)*, 2011.
- IC.44. Daniele Bortolotti, Francesco Paterna, Christian Pinto, Andrea Marongiu, Martino Ruggiero, Luca Benini, "Exploring instruction caching strategies for tightly-coupled shared-memory clusters," *International Symposium on System on Chip (SoC)*, 2011.
- IC.45. Andrea Marongiu, Paolo Burgio, Luca Benini, "Vertical stealing: robust, locality-aware do-all workload distribution for 3D MPSoCs," *International Conference on Compilers, Architecture and Synthesis for Embedded Systems (CASES)*, 2010.
- IC.46. Jaume Joven, Andrea Marongiu, Federico Angiolini, Luca Benini, Giovanni De Micheli, "Exploring programming model-driven QoS support for NoC-based platforms," *International Conference on Hardware/Software Codesign and System Synthesis (CODES)*, 2010.
- IC.47. Andrea Marongiu, Martino Ruggiero, Luca Benini, "Efficient OpenMP data mapping for multicore platforms with vertically stacked memory," *Design, Automation, and Test in Europe conference (DATE)*, 2010.
- IC.48. Andrea Marongiu, Paolo Burgio, Luca Benini, "Evaluating OpenMP Support Costs on MPSoCs," *Euromicro Conference on Digital System Design: Architectures, Methods and Tools (DSD)*, 2010.
- IC.49. Shivani Raghav, Martino Ruggiero, David Atienza, Christian Pinto, Andrea Marongiu, Luca Benini, "Scalable instruction set simulator for thousand-core architectures running on GPGPUs," *International Conference on High Performance Computing and Simulation (HPCS)*, 2010.
- IC.50. Andrea Marongiu, Luca Benini, "Efficient OpenMP support and extensions for MPSoCs with explicitly managed memory hierarchy," *Design, Automation, and Test in Europe conference (DATE)*, 2009.
- IC.51. Andrea Marongiu, Andrea Acquaviva, Luca Benini, "OpenMP Support for NBTI-Induced Aging Tolerance in MPSoCs," *Stabilization, Safety and Security of Distributed Systems (SSS)*, 2009.
- IC.52. Andrea Marongiu, Luca Benini, Andrea Acquaviva, Andrea Bartolini, "Analysis of Power Management Strategies for a Large-Scale SoC Platform in 65nm Technology," *Euromicro Conference on Digital System Design: Architectures, Methods and Tools (DSD)*, 2008.
- IC.53. Andrea Marongiu, Luca Benini, Mahmut T. Kandemir, "Lightweight barrier-based parallelization support for non-cache-coherent MPSoC platforms," *International Conference on Compilers, Architecture and Synthesis for Embedded Systems (CASES)*, 2007.
- IC.54. Giovanni Busonera, Salvatore Carta, Andrea Marongiu, Luigi Raffo, "Automatic Application Partitioning on FPGA/CPU Systems Based on Detailed Low-Level Information," *Euromicro Conference on Digital System Design: Architectures, Methods and Tools (DSD)*, 2006.

REFEREED INTERNATIONAL WORKSHOPS

- NC.1. Björn Forsberg, Luca Benini, Andrea Marongiu, "On the Cost of Freedom From Interference in Heterogeneous SoCs," *21st International Workshop on Software and Compilers for Embedded Systems (SCOPES '18)*, 2018
- NC.2. Joel Matějka, Björn Forsberg, Michal Sojka, Zdeněk Hanzálek, Luca Benini, Andrea Marongiu, "Combining PREM compilation and ILP scheduling for high-performance and predictable MPSoC execution," *9th International Workshop on Programming Models and Applications for Multicores and Manycores*, 2018
- NC.3. Andreas Kurth, Pirmin Vogel, Alessandro Capotondi, Andrea Marongiu, Luca Benini, "HERO: Heterogeneous Embedded Research Platform for Exploring RISC-V Manycore Accelerators on FPGA," *arXiv preprint arXiv:1712.06497*, 2017
- NC.4. Giuseppe Tagliavini, Stefan Mach, Davide Rossi, Andrea Marongiu, Luca Benini, "A Transprecision Floating-Point Platform for Ultra-Low Power Computing," *arXiv preprint arXiv:1711.10374*, 2017
- NC.5. Alessandro Capotondi, Andrea Marongiu, "Enabling zero-copy OpenMP offloading on the PULP many-core accelerator," *20th International Workshop on Software and Compilers for Embedded Systems (SCOPES)*, 2017.
- NC.6. Daniele Palossi, Andrea Marongiu, Luca Benini, "On the Accuracy of Near-Optimal CPU-Based Path Planning for UAVs," *20th International Workshop on Software and Compilers for Embedded Systems (SCOPES)*, 2017.
- NC.7. Daniele Palossi, Andrea Marongiu, "Exploring Single-Source Shortest Path Parallelization on Shared Memory Accelerators," *19th International Workshop on Software and Compilers for Embedded Systems (SCOPES)*, 2016.
- NC.8. Alessandro Capotondi, Germain Haugou, Andrea Marongiu, Luca Benini, "Runtime Support for Multiple Offload-Based Programming Models on Embedded Manycore Accelerators," *International Workshop on Code Optimization for Multi and Many Cores (COSMIC)*, 2015.

- NC.9. Pirmin Vogel, Andrea Marongiu, Luca Benini, “An Evaluation of Memory Sharing Performance for Heterogeneous Embedded SoCs with Many-Core Accelerators,” *International Workshop on Code Optimization for Multi and Many Cores (COSMIC)*, 2015.
- NC.10. Giuseppe Tagliavini, Germain Haugou, Andrea Marongiu, Luca Benini, “A framework for optimizing OpenVX applications performance on embedded manycore accelerators,” *18th International Workshop on Software and Compilers for Embedded Systems (SCOPEs)*, 2015.
- NC.11. Hayder Al-Khalissi, Mladen Berekovic, Andrea Marongiu, “On the Relevance of Architectural Awareness for Efficient Fork/Join Support on Cluster-Based Manycores,” *International Workshop on Manycore Embedded Systems (MES)*, 2014.
- NC.12. Christian Pinto, Andrea Marongiu, Luca Benini, “A Virtualization Framework for IOMMU-less Many-Core Accelerators,” *International Workshop on Manycore Embedded Systems (MES)*, 2014.
- NC.13. Vincent Nélis, Patrick Meumeu Yonsi, Luís Miguel Pinho, José Carlos Fonseca, Marko Bertogna, Eduardo Quiñones, Roberto Vargas, Andrea Marongiu, “The Challenge of Time-Predictability in Modern Many-Core Architectures,” *14th International Workshop on Worst-Case Execution Time Analysis (WCET)*, 2014.
- NC.14. Daniele Bortolotti, Christian Pinto, Andrea Marongiu, Martino Ruggiero, Luca Benini, “VirtualSoC: A Full-System Simulation Environment for Massively Parallel Heterogeneous System-on-Chip,” *International Parallel and Distributed Processing Symposium Workshops (IPDPSW)*, 2013.
- NC.15. Andrea Marongiu, Alessandro Capotondi, Giuseppe Tagliavini, Luca Benini, “Improving the programmability of STHORM-based heterogeneous systems with offload-enabled OpenMP,” *International Workshop on Manycore Embedded Systems (MES)*, 2013.
- NC.16. Dimitra Papagiannopoulou, R. Iris Bahar, Tali Moreshet, Maurice Herlihy, Andrea Marongiu, Luca Benini: “Transparent and energy-efficient speculation on NUMA architectures for embedded MPSoCs,” *International Workshop on Manycore Embedded Systems (MES)*, 2013.
- NC.17. Shivani Raghav, Andrea Marongiu, Christian Pinto, David Atienza, Martino Ruggiero, Luca Benini, “Full system simulation of many-core heterogeneous SoCs using GPU and QEMU semihosting,” *Workshop on General Purpose Processing with Graphics Processing Units (GPGPU-5)*, 2012.
- NC.18. Hayder Al-Khalissi, Andrea Marongiu, Mladen Berekovic, “Low-Overhead Barrier Synchronization for OpenMP-like Parallelism on the Single-Chip Cloud Computer,” *Many-core Applications Research Community (MARC) Symposium*, 2012.
- NC.19. Martin Schindewolf, Albert Cohen, Wolfgang Karl, Andrea Marongiu, Luca Benini, “Towards Transactional Memory Support for GCC,” *International Workshop on GCC Research Opportunities (GROW)*, 2009.